

Z u k e n - T h e P a r t n e r f o r S u c c e s s



# High-Speed-Design mit CADSTAR SI Verify und P.R.Editor

Planen und verifizieren Sie Ihr Leiterplattendesign ab der ersten Entwicklungsstufe mit der Hilfe von Signalintegrität.

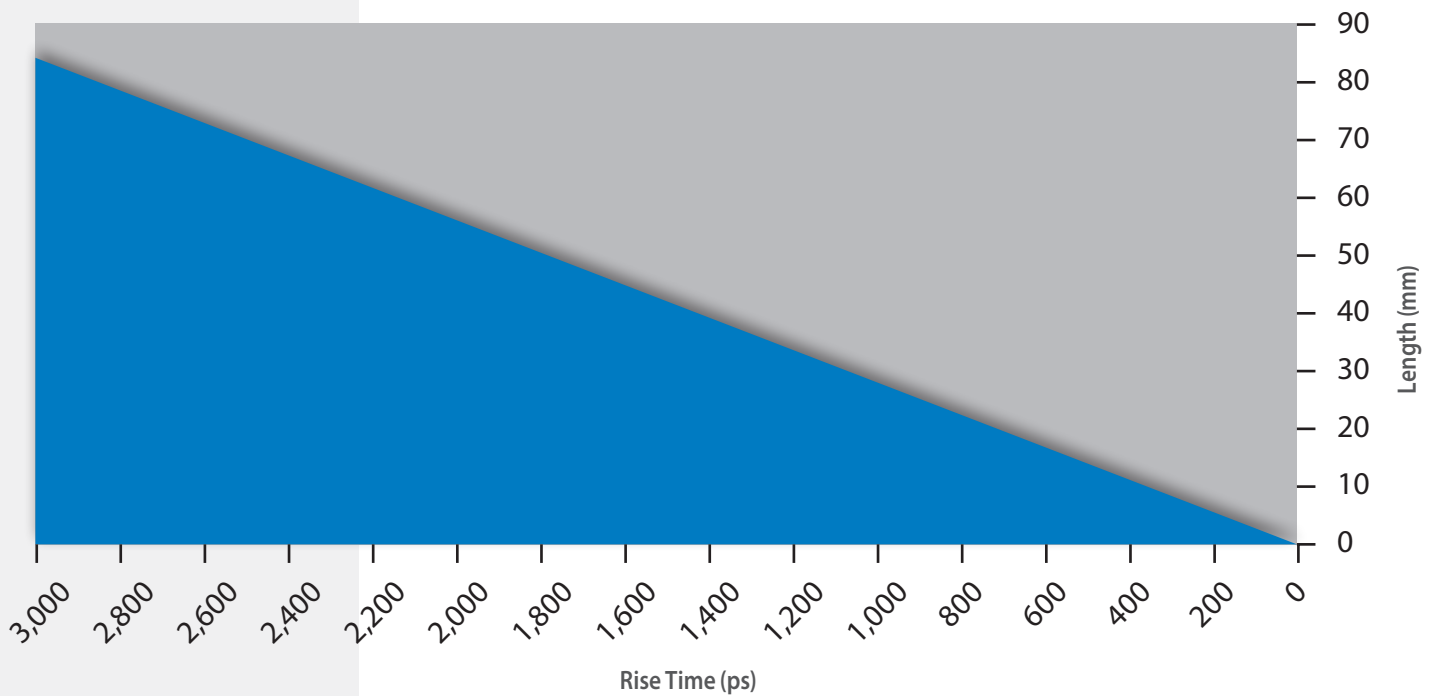
**Wird die Signalintegrität beim Design digitaler High-Speed- oder teildigitaler Leiterplatten nicht berücksichtigt, ist der Prototyp wahrscheinlich nicht funktionsfähig oder unzuverlässig. Ist Ihr Design wirklich ein High-Speed-Design? Manche Dinge sind hier nämlich nicht so, wie sie auf den ersten Blick erscheinen.**

**Zahlreiche neue Leiterplatten beinhalten eindeutige High-Speed-Schaltkreise, z. B. PCI Express (PCIe) oder USB3 SuperSpeed-Busse mit mehreren GHz.**

Double Data Rate-Speicher (DDR2 bis DDR5) sind bei vielen Designs bereits Standard. Werden diese Speicherchips verwendet, spielt die Taktung keine Rolle – die Leiterplatte wird in jedem Fall zum High-Speed-Modell. Bei der Signalintegrität ist nicht die Frequenz

das Problem, sondern die Übertragungszeit. Sie gibt die Anstiegs- und Abfallzeit digitaler Signale an.

Das folgende Diagramm zeigt die ungefähre Leiterbahnlänge, bei der die Signalintegrität für eine bestimmte Übertragungszeit problematisch sein kann. Beträgt die Laufzeit – also die Zeit, die das Signal für den Weg entlang der Leiterbahn benötigt - die Hälfte der Anstiegszeit oder mehr, beeinträchtigen schwerwiegende Probleme mit der Signalintegrität sogar das Punkt-zu-Punkt-Routing. Weniger bekannt ist die Tatsache, dass die Routing-Topologie für Mehrpunktsignale wie Daten- und Adressbusse die Signalintegrität deutlich früher beeinflusst, wenn die Laufzeit lediglich ein Sechstel der Anstiegs-/Abfallzeit beträgt.



*Bei DDR2-Speichern und vielen FPGA-Signalen betragen die Anstiegs-/Abfallzeiten um die 200ps, sodass schon bei einer Leiterbahnlänge von 6 mm die Signalintegrität berücksichtigt werden muss.*

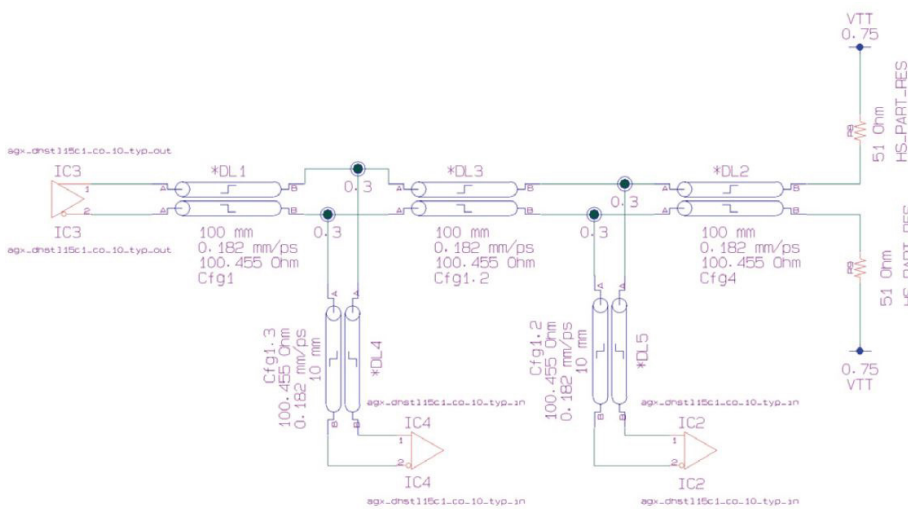
## Von Beginn an die Signalintegrität planen

Mit SI Verify können Sie systematisch an die Signalintegrität herangehen. Vor dem Festlegen des Board-Layouts sollte geprüft werden, ob der richtige Layer-Stack verwendet wurde und ob die geplante Topologie gute Ergebnisse liefert.

Angenommen, Sie entwerfen ein 1,5 V-Differenzialsignal, das von einem FPGA zu zwei Empfängern verläuft. Mit nur wenigen Mausklicks können Sie ein Szenario der vorgeschlagenen Topologie einschließlich Vias und differentiellen Leiterbahnen erstellen.

Beachten Sie die 10 mm-Stichleitungen, die mit den beiden Empfängern verbunden sind.

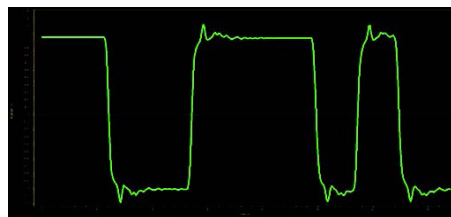
Die simulierte Wellenform (unten, links) ist nicht annähernd zufriedenstellend und zeigt eine erhebliche Verzerrung. Daher wird dieses Signal nicht so zuverlässig sein wie gewünscht. Das Szenario muss so geändert werden, dass das Differenzialpaar auf einem Layer mit nur wenigen oder gar keinen Stichleitungen verläuft. Die neue Wellenform (unten, rechts) ist nun wesentlich weniger verzerrt. Eine Augendiagramm-Analyse mit 2 Prozent Jitter bestätigt durch die große Augenöffnung, dass die vorgeschlagene Topologie wesentlich zuverlässiger ist.



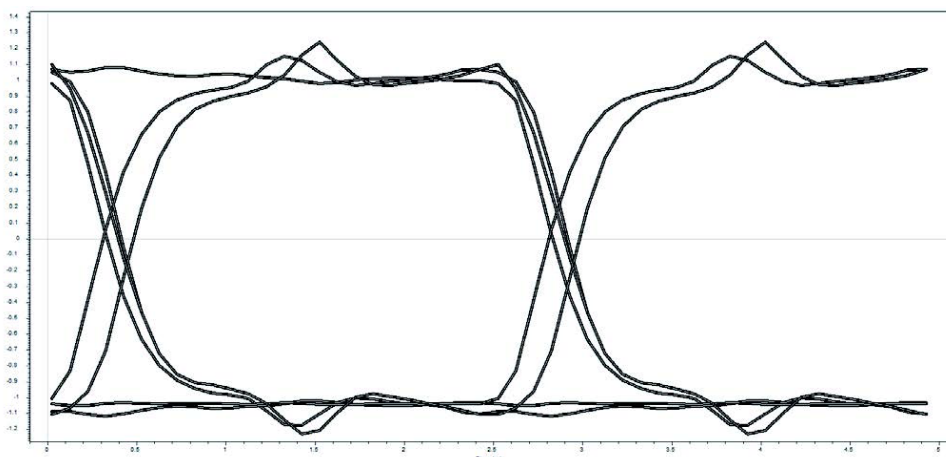
Lange Stichleitungen können Signale verzerrern



Sichtbare Verzerrung am Empfänger



Mit verbesserter Routing-Topologie ist das Signal weniger verzerrt

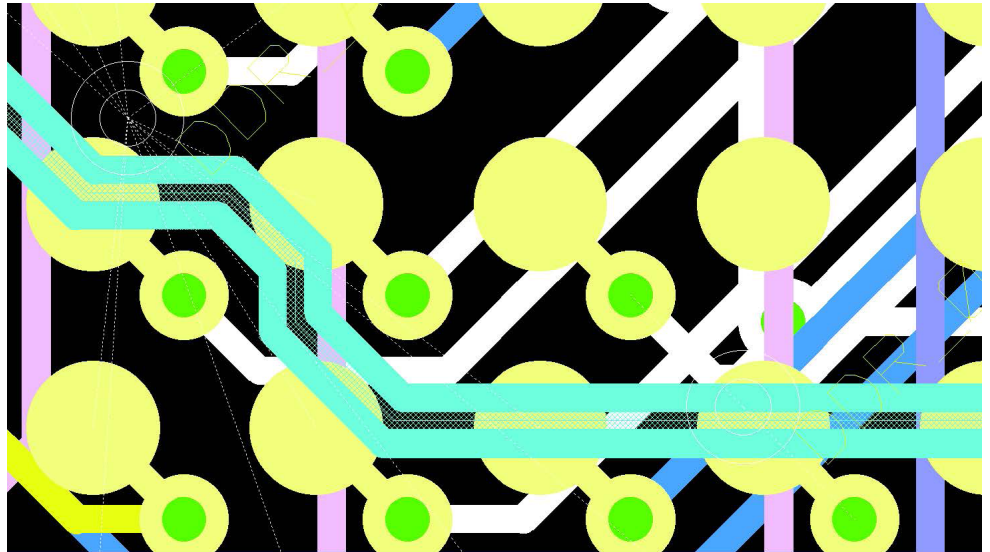


Augendiagramme geben Aufschluss über die Zuverlässigkeit der High-Speed-Signalübertragung

## Ergebnisse bestätigen

Wenn das Routing für einen Teilbereich des Designs erfolgt ist, können Sie die entsprechende Schaltung ganz einfach per Mausklick in das Tool extrahieren, das Sie zur Topologie-Planung verwendet haben. Die anschließende Simulation erfolgt auf dieselbe Weise. Nachfolgend abgebildet ist ein Routing-Bereich, der mit P.R.Editor XR HS erstellt wurde.

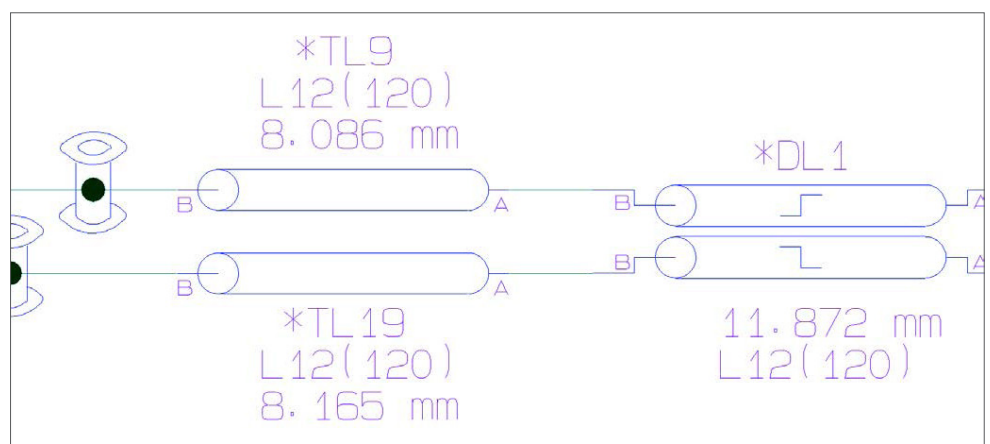
Der Vorteil dieser Methode ist, dass Sie nur eine Simulationstechnik in einer einzigen Benutzeroberfläche beherrschen müssen. Werden zu unterschiedlichen Phasen in der Entwicklung verschiedene Methoden verwendet, kann es schnell passieren, dass ein Konsistenzproblem als abweichendes Ergebnis fehlinterpretiert wird.



*Extraktion wichtiger Design-Details*

Alle signifikanten Layout-Details werden in ein Lagen übergreifendes elektrisches Ersatzschaltbild extrahiert. Es werden die Durchkontaktierungen, Kopplungen zwischen Signalleitungen, Versorgungsleitungen und Flächen berücksichtigt. Die Simulation berücksichtigt also jeden noch so kleinen Effekt auf die Signalintegrität.

Bei SI Verify ist die Konsistenz durch die zentrale Simulations- und Modellierungsumgebung gewährleistet. Darüber hinaus sind alle Funktionen in einer einzigen Benutzeroberfläche verfügbar, die sich SI Verify und die erweiterten Routing-Optionen des P.R.Editor XR HS teilen. Beide Tools sind separat oder als Kombipaket erhältlich.



*Design-Daten werden in eine entsprechende Schaltung umgewandelt*

## Typische Design-Abfolge

1

Layer Stack planen

**Welcher Layer-Stapel eignet sich am besten für die erforderliche einfache und differenzielle Impedanz?**

- Vorgeschlagene Leiterplattenkonfiguration mit Configuration Editor und integriertem Feldlöser prüfen

2

Vorgeschlagene Netztopologie optimieren

**Wie verhalten sich High-Speed-Signale, wenn ich das Routing wie geplant durchführe?**

- Design-Szenarien mit Wellenformen und Augendiagrammen vor, während und nach dem Entflechten des Signals erstellen, sowohl gekoppelt als auch nicht gekoppelt

3

High-Speed-Schaltungen platzieren und entflechten

**Wie Stelle ich sicher, dass ich Arbeitsschritte nicht rückgängig machen muss?**

- Constraints + Routing des Designs sollten in P.R.Editor vorgenommen werden
- Head-Up Displays zur Prüfung von langen und Constraints für Laufzeitdifferenzen beim Routing verwenden
- Jedes fertige Signal nach dem Routing simulieren, besonders beim Routing auf unterschiedlichen Layern

4

Fertiges Design prüfen

**Entspricht mein Board-Design den Leistungsanforderungen?**

- Entsprechende detaillierte Schaltungen aus dem fertigen Board-Layout extrahieren
- Simulationsergebnisse mit den Ergebnissen der Szenarien vergleichen, die im Vorfeld der Entwicklung erstellt wurden

## Zusammenfassung

Signalstandards für High-Speed-Busse mit SSTL, HSTL, LVDS und anderen weit verbreiteten Technologien haben zu einer Rationalisierung des Design-Prozesses beigetragen, da die Hardwarekompatibilität verbessert wird. Frequenzen erhöhen sich, während Zeitpläne immer straffer werden. Geräteanbieter verkaufen nun High-End-Produkte mit integrierter intelligenter Technologie zur Verzerrungsreduktion. Doch selbst mit dieser verbesserten Hardware ist eine umfassende Berücksichtigung der Signalintegrität vom ersten Entwurf bis hin zum finalen Leiterplattendesign unabdingbar.

Durch die Anwendung einer strukturierten Herangehensweise, die im vorliegenden Whitepaper beschrieben wird, lassen sich bequem Boards mit gängigen High-Speed-Signalstandards und High-Speed Bauteilfamilien entwerfen.