# CSK- CAD Systeme Kluwetasch



Services aus einer Hand Karl- Heinz Kluwetasch

CADSTAR Constraint Browser

## **CADSTAR Constraint System**



CADSTAR unterstützt das High-Speed Constraint Management schon während der Schaltplanerstellung.

Mit Hilfe des Constraint Browser Tools und dem Constraint Manager wird das gesamte Constraint Management im CADSTAR Design Editor Flow vereinfacht.

Der Constraint Browser ist im Aufbau und Funktion vom bekannten Constraint Manager abgeleitet. Im wesentlichen sind alle Funktionsmöglichkeiten für den Schaltplan-Entwickler optimiert.

Der Constraint Browser kann unabhängig vom Schaltplan direkt über START|Programme gestartet und verwendet werden. Um ein bestehendes High-Speed Design zu öffnen, wählen Sie einfach das Root Verzeichnis der High-Speed Daten. Standardmäßig ist dies der Ordner mit dem gleichen Namen wie der Schaltplan oder das PCB-Layout das an gleicher Stelle gespeichert ist.

Im Regelfall wird der Constraint Browser direkt aus dem Schaltplan aus dem Menü "Extras" in CADSTAR gestartet.

Damit ist die Grundlage geschaffen, gleichzeitig am Schaltplan und im PCB Layout weiterzuentwickeln.

3

## **Constraint System - Integration**

Diese Übersicht zeigt die direkte Integration im Gesamtsystem.





Der **Constraint Browser** reverwaltet intern einen eigenen Datenpool im CTF Bereich.

Der **Constraint Manager** verwaltet intern einen eigen Datenpool im CTF Bereich.

15.03.2016



## **Constraint Browser - Synchronisation**



Diese Übersicht zeigt den Forward- und Backward Constraint-Datenfluss.



Die **Constraint Informationen** zwischen dem SCM und PCB werden über die ECO Funktion oder Back Annotation synchronisiert.

### Die **aktiven Constraints** sind entweder im Constraint Browser oder im Constraint Manager.

Im Constraint Manager können zusätzlich die Ergebnisse der **Constraint Werte** angezeigt werden.

## Schaltplan - Constraint Browser starten



Die Funktion Constraint Browser wird über Tools | Constraint Browser direkt vom Schaltplan aus gestartet.





Der Schaltplan und das PCB Layout sind weiterhin im Zugriff, um zum Beispiel ein Crossprobing durchzuführen.

Alle Editierfunktionen im Schaltplan und PCB Layout sind zur Sicherheit während der Constraint Phase gesperrt.

Die Funktion Constraint Manager wird über Tools| Preditor XR HS direkt vom PCB aus gestartet.

Nach Beendigung des Constraint Browsers oder Constraint Managers stehen die Editierfunktionen wieder zur Verfügung.

#### 🙀 Constraint Manager - HS\_Demo\_Design\_No-50 / HS\_Dem



### Ansicht im:

- Constraint Browser
- Constraint Manager

## CSK

### **Constraint Browser - Starten**

File Home Symbol Net/Shap Home African Align Select Properties Align A Mirror Select Item Name Move	e Design Hierarchy Library Report Tools View	Constraint Browser Shape Tools Cut Paste Cipboard Undo	<ul> <li>I</li> </ul>
Open Designs Open Designsigns Open Designsigns HS_Demo_Design_1-50. Controlled Bn Diff_pair_Tope Index Via HS_Attributes Sheet 1 Router Editor xx HS new Parts	B         C         IC3-           D08         GB         DDR2_D16         DDR2_A0         MB         A0           D01         G2         DDR2_D17         DDR2_A1         M3         A1           D02         H7         DDR2_D18         DDR2_A2         M7         A2           D03         H3         DDR2_D19         DDR2_A3         N2         A3           D04         H1         DDR2_D21         DDR2_A4         N8         A4           D05         H9         DDR2_D21         DDR2_A5         N3         A5           D06         F1         DDR2_D23         DDR2_A7         P2         A7           D08         G8         DDR2_D24         DDR2_A8         F8         A5	A         D         DUR2_A0         A         DDR2_A1         DDR_A1           D08         GB         DDR2_D0         DDR2_A2         A9         JDR_A1           D01         G2         DDR2_D1         DDR2_A3         D11         DDR_A3           D02         H7         DDR2_D2         DDR2_A4         B9         DDR_A4           D03         H3         DDR2_D3         DDR2_A5         E18         DDR_A5           D04         H1         DDR2_D4         DDR2_A5         E18         DDR_A5           D04         H1         DDR2_D5         DDR2_A7         A8         DDR_A7           D06         F1         DDR2_D5         DDR2_A7         A8         DDR_A9           D07         F9         DDR2_D7         DDR2_A9         B9         DR_A9           D07         F9         DDR2_D7         DDR2_A9         B9         DR_A9           D08         C6         DDR2_D8         DDR2_A10         E11         DDR_A10	7
Current Design	D09         C2         DDR2_D25         DDR2_A9         P3         A9           D010         DZ         DDR2_D26         DDR2_A10         M2         A10           D011         D3         DDR2_D27         DDR2_A11         M2         A10           D011         D3         DDR2_D27         DDR2_A11         M2         A11           D011         D3         DDR2_D27         DDR2_A11         M2         A11	D09         C2         DDR2_D9         DDR2_A11         AZ         DDR_A11           /AP         D010         DZ         DDR2_D10         DDR2_A12         D01         DDR_A12           D011         D3         DDR2_D11         DDR2_A13         D01_A13         D01_A13	6
Current Design Buses Groups	Doil         DDR2_D28         DDR2_A12         HZ         A12           Doil         DD         DDR2_D29         DDR2_CS         LB         CS           Doil         B1         DDR2_D30         DDR2_CS         LB         CS           Doil         B9         DDR2_D31         DDR2_CLK_N         KB         CK           DDR2_D31         DDR2_CLK_P         JB         CK         CK         CK           NC         R8         DDR2_A13         DDR2_CKE         KZ         CKE           NE_R7         DDR2_RAS         CK         EAS         KZ         FAS	DOI2 DI DDR2_D12 DOI3 D9 DDR2_D13 DDR2_BA0 9 DDR.BA8 D014 B1 DDR2_D14 DDR2_BA1 9 DDR.BA8 D015 B9 DDR2_D15 DDR2_BA2 9 DDR.BA2 DDR2_BA2 9 DDR.BA2 DDR2_RA5 9 DDR.BA2 DDR.BA3 DDR.BA2 DDR.BA3	> >

### **Constraint Manager - Starten**





### **Constraint Browser - Benutzeroberfläche**



Der Constraint Browser wird durch eine grafische Benutzeroberfläche, die vom Constraint Manager vom P.R.Editor (HS) bekannt ist, gesteuert.

- Die grafische Oberfläche ermöglicht es, dem Benutzer Designobjekte zu erstellen oder zu modifizieren, um Constraints und Attribute einzugeben und zu verwalten.
- > Die Ergebnisse werden hier ebenfalls in den Ergebnisspalten angezeigt.



## **Constraint Manager - E-Netze**



### **Der Constraint Browser**

bildet aus logischen Einzelnetzen \$1 und \$2 ein neues zusammengesetztes E-Netz.



## Constraint Browser - Einstellungen View

### Die Standard Vorauswahl der Constraint Möglichkeiten:

All Constraints Modeling Ler	ngthening									
Max crosstalk (mV)	Max overshoot (mV)	Min Zo Ma (Ohm) (O	x Zo Min Ler hm) (mm	ngth Max Lengt ) (mm)	th Max skew (mm)	Min relative length (mm)	Max relative length (mm)	Topology	Stub length (mm)	Max Pin Pair Vias
All Constraints Modeling Lengthening All Constraints Modeling Lengthening All Constraints Modeling Lengthening Max crosstalk Max overshoot Min Zo Max Zo Min Length Max Length Max skew (mm) Max crosstalk (mV) Max overshoot (Ohm) Ohm) Min Length (mm) Max skew (mm) Die Ansichten sind beliebig erweiterbar: > z.B. ein "Attribut" Tab.										
All Constraints Imp Max Length (mm)	Min Length (mm)	eling Lengt Max ske (mm)	hening Att w Order	Branch	Net Ne Layer W (r	cked Rout lidth Wid nm) (mr	ing Pin Ith Length m) (mm)	Via Length (mm)	Via Pad Code	Ref Voltage (V)
Options General Sheet Autom General Options Delay Mode C Time C Time C Length Find Find	ation) Tree Vie V Selec V Hide V Tidy ems	w ct new items e single pin e-r electrical nets differential pa	ets irs	advis hotst hpe pcb iobcolumn	ser tage rt onfig.cfg	Die job sin	e Tabs v config. d ausb	werde cfg ge aubai	en in de espeicl r.	er Datei hert und

Options 🛛								
General Sheet Simulation Automation Extraction								
Extraction Options								
Enhanced Via Modeling								
✓ Enable enhanced via extraction								
Enable enhanced via back-drilling								
Default number of layers in a scenario: 4								
Coupling								
Min Length: 2.0 mm Max Lines: 1 🚖								
Max Distance: 0.5 mm								
Enhanced Plane Extraction								
Enable enhanced plane extraction								
Enable co-planar references								
Min Gap Length: 10.0 mm								
Min Plane Gap Area: 100.0 mm²								
Save Default OK Cancel Help								

K

Im Constraint Manager befinden sich zusätzliche Optionen für die Auswertung der Constraints.

Save Default

OK

Cancel

Help

## **Constraints bearbeiten**



Attribute und Constraints sind sowohl im Constraint Browser also auch im Attribut Editor änderbar, wenn Ihnen das Feld editierbar angeboten wird.

E Diff Top RR Left P	▲ All	Constraints Modeling Lengthening Attribute				
H-Tree-Ende			Order	Pin Source	Branch	Stub length (mm)
H-Tree-Ende-VBP-1	E I	H-Tree-Ende				5.00
H-Tree-Ende-VBP-1-B	_   <b>n</b>	H-Tree-Ende				
••• HT2-1		H-Tree-Ende-VBP-1	3			
••• H12-4		H-Tree-Ende-VBP-1-A	4		1	
		H-Tree-Ende-VBP-1-B	4		2	
	•	HT2-1	5		1.1	
	•	HT2-4	5		1.2	
→ HT1-11	1	HT3-1	5		2.1	
	•	HT3-4	5		2.2	
🖃 🖳 Pin Pairs	-44	R2-2	2			
😐 🐔 H-Tree-Ende-VBP-1 - H-Tree	1 2	H-Tree_Start				
匣 <sup></sup> 紀 H-Tree-Ende-VBP-1 - H-Tree		• HT1-11	1	TRUE		
🕮 🐔 H-Tree-Ende-VBP-1-A - HT2	-14	r R2-1	2			
🕮 🐔 H-Tree-Ende-VBP-1-A - HT2	1	H-Tree-Ende-VBP-1 - H-Tree-Ende-VBP-1-A				
🖽 🕂 🔁 H-Tree-Ende-VBP-1-B - HT3	_   5	H-Tree-Ende-VBP-1 - H-Tree-Ende-VBP-1-B				
😐 🌊 H-Tree-Ende-VBP-1-B - HT3	5	H-Tree-Ende-VBP-1-A - HT2-1				
匣 <sup>-</sup> ぞ、HT1-11 - R2-1	1	H-Tree-Ende-VBP-1-A - HT2-4				
🕀 🐔 R2-2 - H-Tree-Ende-VBP-1	5	H-Tree-Ende-VBP-1-B - HT3-1				
⊡  Components	1	H-Tree-Ende-VBP-1-B - HT3-4				
ter H-Tree-Ende_1	5	HT1-11 - R2-1				
H H-Iree-Ende_2	1	R2-2 - H-Tree-Ende-VBP-1				

### Aktivieren vom Constraints

Legacy Constraint Management

### Ansicht im Constraint Browser:

- Es werden zusätzlich E-Netze gebildet.
- Falls vorhanden werden Virtual Branch Points angezeigt.



### Deaktivieren vom Constraints:

🗹 Legacy Constraint Management

Attribut Editor Ansicht im SCM: Hier sind keine E-Netze und Virtual Branch Points vorhanden.

## **Constraint Kompatibilität**



Der Constraint Manager erlaubt es Ihnen, nicht kompatible Werte von Constraints einzutragen. Sie erhalten eine Warnmeldung vom System, falls CADSTAR das erkennen kann.

Jedes Constraint an einem Pin-Pair innerhalb einer Skew Gruppe oder eine Anzahl von Constraints, die innerhalb der Skew Gruppe von anderen Ebenen vererbt wurden, müssen kompatibel zu Vererbungen aus anderen Bereichen sein.

	Min Length (Constraint)	Max Length (Constraint)	Max Skew (Constraint)	Length (Result)	Skew (Result)
Skew group			10		10
Pin-pair 1	10	20		20	
Pin-pair 2	30	40		30	

Diese angezeigten Werte zeigen deutlich, wie sich die einzelnen Constraints ergänzen. Die jeweiligen Längen der beiden Pin-Paare werden erfüllt, siehe Spalte "Lenght Result". Die Ergebnisse liegen innerhalb der vorgegebenen Längen Min Length (Constraint) und Max Length (Constraint).

Zusätzlich wird auch das Constraint Max Skew (Constraint) von 10 eingehalten.



## **Topology Editor**

Anzeigen und Bearbeiten von Typologien im Topology Editor.

Selektieren Sie ein Netz im Constraint Browser oder im Constraint Manager. Der Topology Editor wird mit den Informationen des selektierten Netzes geöffnet und angezeigt.

Die vordefinierten Topologien können den gewählten Modellen zugewiesen werden. Alternativ können die Topologien interaktiv verdrahtet werden.

Es stehen mehrere vordefinierte Topologien zur Verfügung.



13





## Topologie zuweisen



Die im Topologie Editor erstellten Templates werden dem Addressbus und Datenbus mit dem jeweiligen Kontrollleitungen zugewiesen.



## Constraint Browser - Diff-Pair Generation

Differenzielle Leitungen können vom Constraint Browser automatisch aufgrund von Prefix oder Suffix Zeichen automatisch erstellt werden.

Dafür sind die Netznamen (z.B. wie im Bild gezeigt) mit dem Suffix \_P zu erweiterten.



Zuweisung für die differenziellen Leitungspaare automatische Erkennung



Differenzielle Leitungspaare Aufbau.

Differenzielles Leitungspaar entflochten.

## Differenzial Pair Definition im Schaltplan



## Address "DDR2\_AX" Bus zuweisen



Alle Netze die eine Bus darstellen sollen, werden selektiert und als Bus definiert.



www.cskl.de

## Address "DDR2\_AX" Bus Video



System	All Constraints Impeda	nce Modeling Lengthening At	tribute		
HSL录emo_Design_No-50     HS_Demo_Design_No-50     HS_Demo_Design_No-50     HS_Demo_Design_No-50     HS_DEmonstrate     HSL录emo_Design_No-50     HSL		Lengthen Mode	Lengthening Style	Maximum Lengthening Amplitude (mm)	Leng
Paths	LE- S1			ī l	
	1E- \$3			j I	
	LE- 54				
P P Space_Len_Test	LE- S5			1	
E Power Netr	LE- S6			)	
T We Net Classes	LE- AGND				
E P Components	LE- Cross_1				
E BP Parts Skew Groups E Copologies ⊕ Com H-Tree	LE- Cross_2				
	LE- Cross_3				
	LE- Cross_4			J]	
	LE- DDR2_A0				
	LE- DDR2_A1				
	LE- DDR2_A2			ļ.	
	LE- DDR2_A3				
	LE- DDR2_A4				
	LE- DDR2_A5				
	E- DDR2_A6			i j	
	LE- DDR2_A7				
	LE- DDR2_A8				
	LE- DDR2_A9			1	
	LE- DDR2_A10				
	LE- DDR2_A11				
	LE- DDR2_A12				
	LE- DDR2_A13				
	LE- DDR2_BA0				
	LE- DDR2_BA1			J	
	LE- DDR2_BA2				
	LE- DDR2_CAS				
	E DDR2 CKF				

## Daten "DDR2\_DQx" Bus zuweisen



Alle Netze die eine Bus darstellen sollen werden selektiert und als Bus definiert.



## Daten "DDR2\_DQx" Bus Video



System	All C	onstraints	Impedance Mo	deling Lengthe	ning Attribut	e					
HS_Demo_Design_No-50     HS_Demo_Design_No-50     HS_Demo_Design_No-50     Electrical Nets			Min Length (mm)	Max Length (mm)	Max skew (mm)	Order	Branch	Net Layer	Necked Width (mm)	Routing Width (mm)	Pin Length (mm)
eren en e	LE.	DDR2_D0							-		
⊞ ⊫ Bus_XDR			1		<u>.</u>				1		
⊞ ⊫ COR2_AX ⊞ ⊑ Snace Len Test1				- 		j j				i j	
Differential Pairs								-	1		
Power Nets	-					- -			-		
Image Net Classes      Image Components				<u>}</u>							
Parts						1 1				1	
Skew Groups	-				<u>k </u>						
	-					6	-			i i	
						ļ į				į į	
					-				-		
	<u></u>			-	-		-		-		
						6					
					]	(i)			-	)	
	0-0										
						i i			1		
						i i					
				-		[]					
	10000				n:	7				-	
			<u>.</u>								
	1					12 F				í (†	

## Skew: Atmel SMART SAMA5D3 Series





## **CK/CKN Clock Längen zuweisen**









- 10 (Elec Inner Lay)
- 12 (Elec Inner Lay)
- 16 (Elec Inner Lay)
- 18 (Elec Inner Lay)

#### 20 (Elec Bottom)

All Constraints Crosstaik Distortion Impedance Delay Misc Modeling Lengthening Multi-board Skew /	All Constraints	Crosstalk	Distortion	Impedance	Delay	Misc	Modeling	Lengthening	Multi-board	Skew	Att
---	-----------------	-----------	------------	-----------	-------	------	----------	-------------	-------------	------	-----

DDR2_CLK_P-DDR2_CLK_N		Min Length	Max Length	Max skew	Min Length	Max Length	Max skew (mm)
🖻 🤒 DDR2_CLK_N		(mm)	QUILITY	(iiiii)			
	DDR2 CLK P-DDR2 CLK N	47.000	53.000	0.508	50.83501	51.10153	0.11368
IC1-A12 → IC2-K8	E- DDR2_CLK_N	47.000	53.000	0.508	50.91531	51.10153	0.18622
IC2-K8	CI-A12 - DDR2_CLK_N-VB	37.500	38.500		37.89777	37.89777	
🖻 🎒 Pin Pairs	DDR2_CLK_N-VB - IC3-K8	12.650	13.200		13.01754	13.01754	
🗉 🗟 DDR2_CLK_N-VB - IC2-K8	DDR2_CLK_N-VB - IC2-K8	12.650	13.250		13.20376	13.20376	
₽- 🐔 DDR2_CLK_N-VB - IC3-K8	党 IC1-A12 - IC3-K8	47.000	53.000		50.91531	50.91531	5
<sup>■</sup> <sup>-</sup>	LE- DDR2_CLK_P	47.000	53.000	0.508	50.83501	50.98785	0.15284
<sup>Ⅲ</sup> <del>~ IC1-A12 - IC3-K8</del>	DDR2_CLK_P						
	C1-B12 - DDR2_CLK_P-VB	37.500	38.500		38.16205	38.16205	
	DDR2_CLK_P-VB - IC2-J8	12.650	13.500		12.67296	12.67296	
	DDR2_CLK_P-VB - IC3-J8	12.650	13.500		12.82580	12.82580	
▶ IC1-B12	党 IC1-B12 - IC3-J8	47.000	53.000		50.98785	50.98785	
→ IC2-J8							
→ IC3-J8							
🖻 🎕 Pin Pairs							
😐 🐔 DDR2_CLK_P-VB - IC2-J8				2			
The second				2			-
HT - ICT-BTZ- DDR2_CLK_P-V		-		2			
±							

Definition aller erforderlichen Längen und Toleranzen (Skew)  $\checkmark$ 

## Address- und Kontroll-Leitungen





Es werden keine Längen zugewiesen, über die Skew Group ist eine relative Länge zur Clock angegeben.

🗊 System 🔄	All Constraints Impedance Modeling Lengthening Attribute	
🗄 💷 HS_Demo_Design_No-50	a Min Length May Length May skew Mir	
🖻 👜 HS_Demo_Design_No-!	h (mm) (mm) (mm)	
Electrical Nets		
- 🖮 Paths		
🖻 🕮 Busses		
🖻 🗏 DDR2_Ax	E DDR2_A1	
🖳 🕒 DDR2_A0	Let DDR2_A2	
🕮 🖳 DDR2_A1	E DDR2_A3	
😐 🕒 DDR2_A2	E DDR2_A4	
🖻 🕒 DDR2_A3	E DDR2_A5	
🕮 🖷 DDR2_A4	Le- DDR2_A6	
🖳 🕒 DDR2_A5	LE- DDR2 A7	
🛡 🕒 DDR2_A6	LE- DDR2 A8	
😐 🕒 DDR2_A7		
🔍 🕒 DDR2_A8		
😐 🕒 DDR2_A9		
E DDR2_A10		
🕮 🕒 DDR2_A11	E DDR2_A12	
🖳 🕒 DDR2_A12	Let DDR2_A13	
🛡 🖳 DDR2_A13	E DDR2_BA0	
😐 🕒 DDR2_BA0	LE DDR2_BA1	
🔍 🕒 DDR2_BA1	LE- DDR2_BA2	
🖶 🕒 DDR2_BA2	IE- DDR2_CAS	
🔍 🖷 DDR2_CAS	E- DDR2_CKE	
DDR2_CKE	LE-DDB2 CS	
👜 🍯 DDR2_CS		
🖻 🔚 DDR2_RAS		
DDR2_WE		

Anzeige Topologie im Topologie Editor



Topologie der alle DDR2\_Ax Leitungen zugewiesen werden.



All Constraints Impedance Modeling Lengthening Attribute

			-1 -	_	l	
			Order	Branch	Net Layer	Ne W (r
	<u>a</u>	DDR2_Ax				
	LE-	DDR2_A0				
	<	DDR2_A0-VB				
	▶	IC1-B10	1			
	♠	IC2-M8	3	1		
18	♠	IC3-M8	3	2		
18	÷.	IC1-B10 - DDR2_A0-VB				
VВ	÷.	DDR2_A0-VB - IC2-M8				
	÷,	DDR2_A0-VB - IC3-M8				

## Daten- und Kontroll-Leitungen



Topologie



Die Datenleitungen sind einfache Punkt zu Punkt Verbindungen.

Die Länge wird mit dem Relative Skew Wert von der Clock abgeleitet.

Anzeige Topologie im Topologie Editor



	All Con	straints   Im	npedance	Modeling Lengt	hening Attribute	
			Layer	Min Length	Max Length (mm)	Max skew (mm)
⊡ ⊨ SubBus2					()	(
⊡- ⊨ SubBus3		R2_DQx	All			
⊡r ⊨ SubBus4	F Sul	bBus2	All			
	⊫ Sul	bBus3	All			
	🔎 Sul	bBus4	All			
	🔰 Sul	bBus5	All			

🖻 🖻 Busses					
🗉 🖻 Bus_XDR 🛛	≓ ⊫ SubBus1 🛛 🖾	🗏 🌾 🗐 SubBus2	⊐ <b>⊨ SubBus</b> 3 Ė	⊫ <mark>⊫</mark> SubBus4 ⊡	∃ ⊭ SubBus5
🖻 ╞ DDR2_Ax		⊡_ <b><sup>I</sup>E-</b> DDR2_D8		<sup>□</sup> <b>··E-</b> DDR2_D2₄	
🖻 🔰 DDR2_DQx	⊞- <b>IE-</b> DDR2_D1				E- DDR2_DQM1
🖽 🗏 SubBus1	⊡ <b><sup>L</sup>E-</b> DDR2_D2		⊞ <b>IE-</b> DDR2_D18		
🖽 🗏 SubBus2	⊡- <b>'E-</b> DDR2_D3	⊞ <b><sup>I</sup>E-</b> DDR2_D11		⊡ <b>IE-</b> DDR2_D27	
⊞• ⊨ SubBus3	⊡ <b><sup>_</sup>E-</b> DDR2_D4	⊞ <b><sup>I</sup>E-</b> DDR2_D12		⊞ <b>IE-</b> DDR2_D2{	⊡ <b>IE-</b> DDR2_DQS0
🖽 🗏 SubBus4	⊡ <b><sup>L</sup>E-</b> DDR2_D5	⊞ <b><sup>L</sup>E-</b> DDR2_D13			⊡ IE- DDR2_DQS1
⊞• <mark>r ⊫ SubBus</mark> 5	⊡ <b><sup>L</sup>E-</b> DDR2_D6	⊞ <sup>I</sup> E- DDR2_D14			⊡ <b>IE-</b> DDR2_DQS2
	⊡ <b><sup>L</sup>E-</b> DDR2_D7	🗄 🗜 DDR2_D15		<b>□ LE-</b> DDR2_D31	

## **Constraint Browser - Based Skew Group**



×

×

Mit Hilfe der Skew Group Funktionen werden alle relativen Werte (bezogen auf das Base Signal) erfasst und der Gruppe zugewiesen.



Die erfassten Werte werden im Constraint Manager übersichtlich dargestellt.

📾 Skew Groups		I e	e				
		Laye	Min Length	Max Length	Max skew	Min relative	Max relative
■ DDR2_CLK_P-DDR2_CLK_N (base)			(mm)	(mm)	(mm)	length (mm)	length (mm)
⊡ ⊫ DDR2_Ax						(1111)	(1111)
🖶 😴 DDR2_DQx	DDR2_CLK_P-DDR2_CLK_N	All	47.000	53.000	0.508		
DDR2_CLK_P-DDR2_CLK_N (base)	🐱 DDR2_Ax	All			5.080	-4.000	-2.730
⊡ ⊫ DDR2_DQx	🐱 DDR2_DQx	All			10.160	-4.770	-3.500

Ė.

## Address "DDR2\_AX" Skew-Group Video



		dan sa bita dalia		أمعيتك						
System HS_Demo_Design_No-50 HS_Demo_Design_No-50 H_CHS_Demo_Design_No-50 H_CElectrical Nets		Min Length (mm)	Max Length (mm)	Max skew (mm)	Order	Branch	Net Layer	Necked Width (mm)	Routing Width (mm)	Pin Leng (mm
Paths								0		
🖻 💼 Busses			·		n n					
⊞ ⊫ ⊫ Bus_XDR	H-Tree								-	
⊡ ⊫ DDR2_AX				1	1				i i	
⊕r≓≓ DDK2_DQX									i i	
P- Space_Len_Test1      T- Its Differential Pairs			( 	1	fi li					
Power Nets			(		( )					
E 😥 Net Classes										
🗉 💼 Components					( Ĵ					
🖭 🧰 Parts										
Skew Groups	2									
🕀 📴 Topologies					<u>()</u>				1 – I	
		-						-		
									8 8	
								-		
		1		8				-	<u>,</u>	
				1		-	-	-		-
				-	-				i i	
				-	2	-				
	-			-		-	_			
		8								
				a:	1 4				9	
		1		j i					j i	
		-		-			-		i i	
					i i				i i	

## Datrn "DDR2\_AX" Skew-Group Video



System	All C	Constraints Impedan	e Modeling	Lengthenin	g Attribute			
HS_Demo_Design_No-50 HS_Demo_Design_No-50 HS_Demo_Design_No-50 HS_Demo_Design_No-50 HS_Demo_Design_No-50 HS_DECTION HS_		Min Length (mm)	Max Lengtř (mm)           Image: Imag	Max skew (mm)	Min relative length (mm)	Max relative length (mm)	Topology	Stub length (mm)

#### www.cskl.de

## Mäander Definitionen

Zum automatischen Anpassen der Leitungslängen müssen die zusätzlichen Segmente (Mäander) in Ihrer Form definiert werden.

Die zusätzlichen Mäander werden interaktiv, halbautomatisch oder vom Autorouter automatisch der Leiterbahn hinzugefügt.

🖻 🔎 🚝 DDR2_Ax	All	Constraints	mpedance	Modeling Ler	ngthening Attribute	
⊡ <b>E-</b> DDR2_A0 			Lengthen Mode	Lengthening Style	Maximum Lengthening Amplitude (mm)	Minimum Lengthening Separation (mm)
🗄 💼 Components	n.	DDR2_A0	accordion	semicircle	2mm	0.1mm





## Skew Group - Ergebnisse anzeigen



Manuelle Entflechtung gemäß den Vorgaben der Impedanzen, der Leiterbahn-abstände und Lagenzuordnungen.



Entflechtung nach Einfügen der Mäander zur Längenanpassung.



Übersichtliche Darstellung der realen Längen und Toleranzen in den Gruppen.

🖻 🖼 Skew Groups	All Constraints Crosstalk Distor	tion Impedar	nce Delay Mi	isc Modelin	ng Lengthenir	ng Multi-board	Skew Attribu	te			
다. DDR2_Ax		Min Length (mm)	Max Length (mm)	Max skew (mm)	Min relative length (mm)	Max relative length (mm)	Min Length (mm)	Max Length (mm)	Max skew (mm)	Min relative length (mm)	Max relative length (mm)
	DDR2_CLK_P-DDR2_CLK_N	47.000	53.000	0.508			50.83501	51.10153	0.11368		
	🐱 DDR2_Ax			5.080	-4.000	-2.730	47.02327	50.98785	3.96458	-3.96458	-3.55858
Boards	DDR2_DQx			10.160	-4.770	-3.500	46.53865	50.98785	4.44920	-4.44920	-3.74721

## Prüfen der Constraint im PCB



Record     Wait     Guit     Macro     Record     Macro     Embedded	PREditor PREditor er XR XR HS PREditor	SI Verify SI BM BM	Adviser Adviser Detail User Tools + EMC Adviser User	
Open Designs       P       Image: Second Sec				







## **Routing - Top Elec**

















## **Routing - Bottom Elec**





# CSK- CAD Systeme Kluwetasch

Struckbrook 49 D-24161 Altenholz

Tel. + 49 (0) - 431- 32917- 0 Fax. + 49 (0) - 431- 32917- 26

Email: kluwetasch@cskl.de

Web: www.cskl.de

Vielen Dank für Ihre Aufmerksamkeit. Karl- Heinz Kluwetasch

SIK

15.03.2016