

IPC-7352: PCB Design Perfektion startet in der Bibliothek



*If you are not automating,
someone else is.*



www.pcblibraries.com

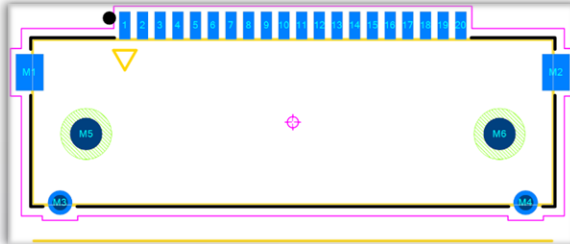


www.fed-konferenz.de



www.cskl.de

Links ein Idealziel und rechts nur ein Web Part Download Dilemma



IDEALZIEL: library parts use predefined or user-modified rules – share across your organization; RULES-based, auto-generated part library

Built to exact datasheet specification, either Metric or Mils

User-defined consistency of line widths for all parts

Accurate contour courtyards are auto generated

Relevant data: Footprint Name, Physical and Logical Descriptions, datasheet link, and more

Auto-generated keep outs on all non-plated holes for copper poly shapes, traces and vias

Pin 1 polarity markers for silkscreen and assembly

Footprint Origin at center of gravity

Uniform, silkscreen outlines are whole objects mapped to the maximum package dimensions

Clear, consistent, intelligently placed markings to minimizes use of board space

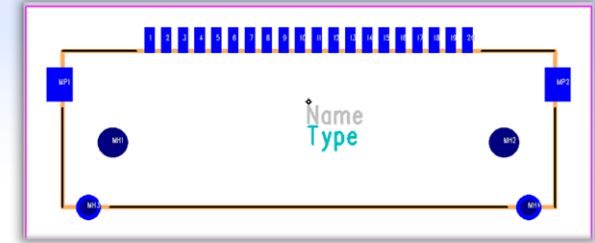
Consistent silkscreen trimming around all pads

Solder Mask swell auto-applied and configurable

Through-hole pad stack hole sizes automatically defined by maximum terminal lead diameter, and pad size auto-calculated by 1.5 x hole diameter

Non-plated holes have smaller pad sizes to prevent copper slivers after drilling process

WEB DOWNLOAD: Manually created by many different people, using **countless rules** – results in a board with inconsistently built parts, **far more prone to introduction of costly errors**; massive variations in parts inconducive to standardized rule-based library



Nothing, or inconsistent random data

Many different line widths used across different footprints due to **lack of standard rules**

Sloppy or non-existing contour courtyards

Missing keep-out will cause DRC errors at the manufacturer if copper, traces, and vias are placed within 0.25 mm of the non-plated hole

Footprint Origins randomly placed

Pin 1 markings missing or vary in shape and in size

Inconsistent and random silkscreen trimming around pads

Non-plated holes have a pad size equal to the hole size create **risk of copper slivers** after the drilling process; the **plane antipad is randomly defined with no obvious rules**

Units vary based on source, and Metric often converted from Mils with rounded-off measurements; **converting pin pitch often results in leads not fully centered on pads**

Inconsistent and extra markings and excessive courtyards **requires more placement space**

Silkscreen is fragmented and mapped to the nominal package dimensions

Inconsistent solder mask swell from one footprint to another

Lack of published, consistent rules to define through-hole pad stacks make it impossible for proper quality control of resulting footprint, **results in capriciously calculated footprints**

... and the saga continues ...

wo fängt die Nachbearbeitung an und wo hört die Nachbearbeitung auf?

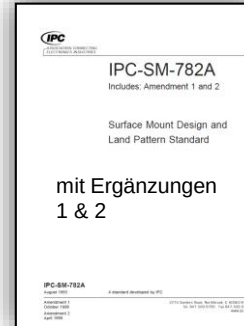
Von der Definition über den Standard hinweg zur Guideline



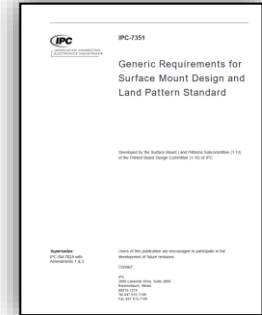
IPC-T-50
November 1980



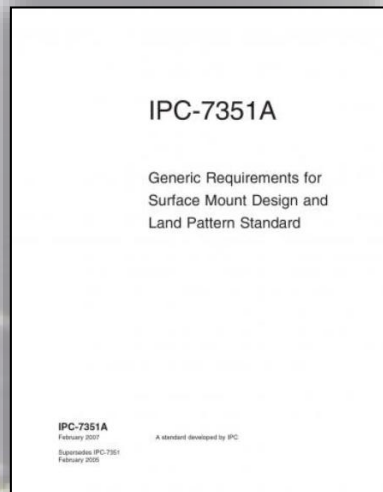
IPC-SM-782
August 1987



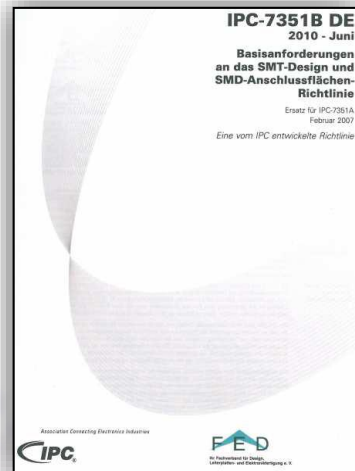
IPC-SM-782A
Dezember 1999



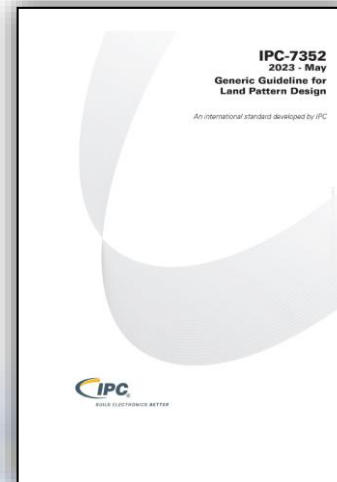
IPC-7351 Standard
Februar 2005



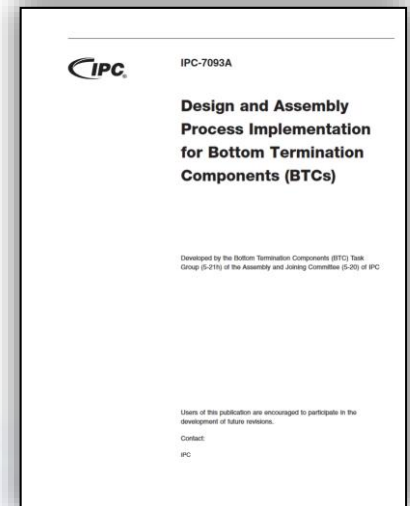
IPC-7351A Standard
Februar 2007



IPC-7351B Standard
Juni 2010

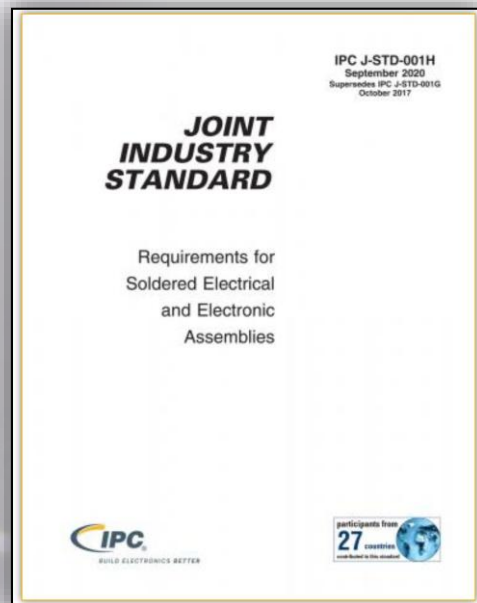


IPC-7352 Guideline
Februar 2023



IPC-7093A
Oktober 2020

- J-STD-001 ist ein im Jahre 2020 vom IPC veröffentlichter Standard für gelötete elektrische und elektronische Baugruppen. Der sogenannte „J-Standard“ spezifiziert Materialspezifikationen, Prozessanforderungen und Akzeptanzkriterien, um in der Industrie die beste Lötpraxis zu etablieren.



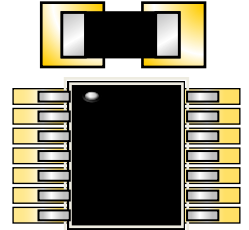
Was ist der Unterschied zwischen IPC J-STD-001 und IPC-A-610?

IPC J-STD-001 und IPC-A-610 beleuchten beide den Lötprozess sowie die Branchenbegriffe für die Leiterplattenmontage und den Eigenschaften einer akzeptablen Leiterplatte.

Die IPC-A-610 wird vorwiegend für die elektronische Baugruppenabnahme verwendet.

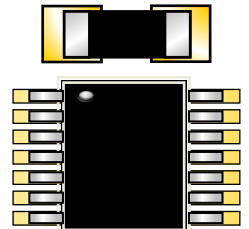
Density Level A = Most: Maximaler Überstand der Anschlussflächen

Für Designs mit niedriger Bauteildichte ist diese Art von Landeflächen entwickelt worden. Diese als "Maximum" bezeichneten Footprints sind in ihrer Größe für das optimale Wellenlöten oder Schwalllöten für Bauteile ohne Anschlüsse oder mit abgewinkelten Anschlüssen definiert worden. Das beinhaltet auch die Bauteilfamilien mit nach innen liegenden "J" geformten Anschlüssen, womit ein breiteres Prozessfenster für das Reflow-Lötverfahren zur Verfügung steht.



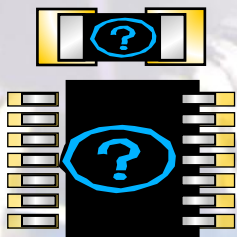
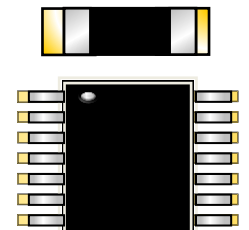
Density Level B = Nominal: Mittlerer Überstand der Anschlussflächen

Für Designs mit einer mittleren Packungsdichte kann geprüft werden, ob eine mittlere Größe an Footprints verwendet werden kann. Diese Footprint-Größe ist so bemessen, dass für alle Bauteilfamilien eine robuste Lötverbindung für einen Reflow-Prozess vorgesehen ist und stellt geeignete Footprint-Größen für Wellenlöten oder Reflow-Löten für Bauteile ohne Anschlüsse oder mit abgewinkelten Anschlüssen dar.



Density Level C = Least: Minimaler Überstand der Anschlussflächen

Hohe Packungsdichten sind typisch für tragbare und mobile Geräte. Diese Anwendungen benutzen die "Mindest,-Footprint-Größen im Design. Es kommt es zu Variationen von Footprint-Größen.



Plus diese Möglichkeiten

- ✓ **Herstellerempfehlung:** Vom Hersteller empfohlene Footprints
- ✓ **Benutzerdefiniert:** Benutzerdefinierte Regeln für Footprints

KLASSE 1 - Allgemeine Elektronikprodukte:

Umfasst Produkte, die für Anwendungen geeignet sind bei denen die Hauptanforderung die Funktion des fertigen Produktes ist.

KLASSE 2 - Spezielle Service-Elektronikprodukte:

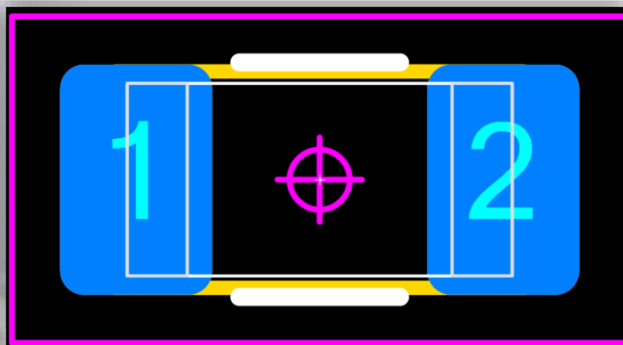
Umfasst Produkte, bei denen kontinuierliche Leistung und längere Lebensdauer erforderlich sind und für die ein unterbrechungsfreier Betrieb erwünscht, aber nicht kritisch ist. Normalerweise würde die Endnutzungsumgebung keine Ausfälle verursachen.

KLASSE 3 - Hochleistungs-Elektronikprodukte:

Umfasst Produkte, bei denen kontinuierliche Hochleistung oder Leistung auf Abruf kritisch ist, Geräteausfallzeiten nicht toleriert werden können, die Endnutzungsumgebung ungewöhnlich rau sein kann und die Geräte bei Bedarf funktionieren müssen, wie z. B. Lebenserhaltungssysteme oder andere kritische Systeme.

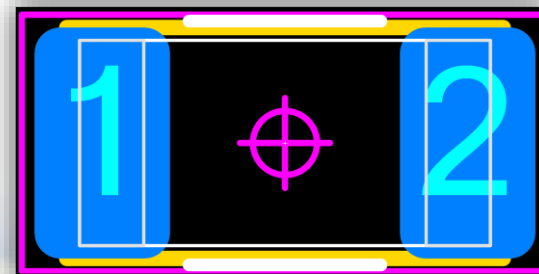
Kombinationen der **Leistungsklassen (1, 2 und 3)** mit den **Density Leveln (A, B und C)** zeigen den Zustand einer elektronischen Leiterplattenbaugruppe auf. So zeigen z.B. 1A, 3B oder 2C die unterschiedlichen Leistung und Dichte an, um das Verständnis der Umgebung und der Herstellungsanforderungen einer bestimmten Leiterplattenbaugruppe zu erleichtern. Am beliebtesten ist 3B = Klasse 3 und Dichtestufe B (nominal).

- Die IPC-7351B war zu 100% nur für SMD's Surface Mounts.
- Ein weiterer Grund, warum die IPC-7352 die IPC-7351B ersetzt hat, liegt darin, dass die IPC-7352 über die Through-Hole-Technologie verfügt.
- Die 7352-Naming Convention wurde um zusätzliche Informationen erweitert, wie zum Beispiel die Größe des Wärmeleitpads und andere fehlende Footprint Daten.
- Die bisherigen IPC-7351B Pad-Stacks und Courtyards sind zu robust (zu groß) für die heutige Technologie, denn Leiterplatten werden immer kompakter und kleiner und die meisten Anwender wünschen sich somit auch kleinere Pad Stacks und Courtyards.
- Auch die Footprints der bisherigen IPC-7351B sind mittlerweile unnötigerweise zu groß für die Fertigungsmontage. Auch wenn man diese theoretisch immer noch nutzen könnte.



r126_191r20

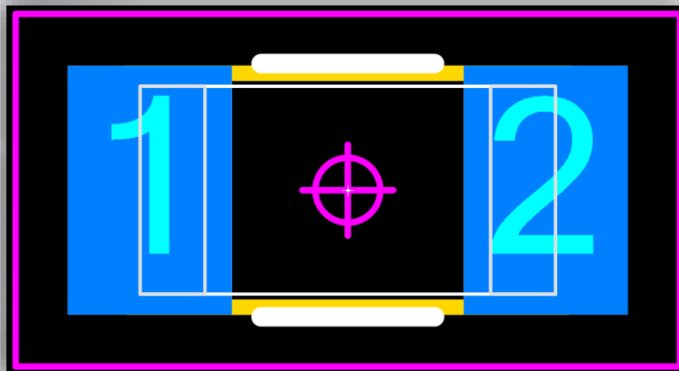
Veraltetes, zu großes Footprint



r105_180r20

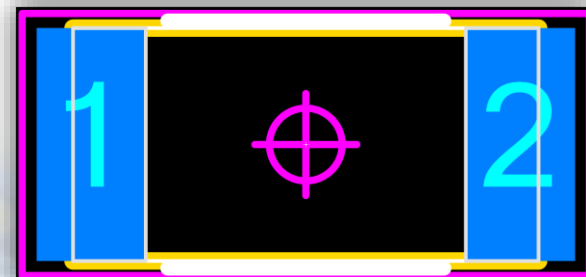
Passendes, kleines Footprint

- In den 1970er Jahren war die Lötstopmmaske 0,15mm. In den 1980er Jahren wurde dann die Lötstopmmaske auf 0,125 geändert. In den 1990er Jahren wurde die Lötstopmmaske auf 0,10 geändert und im Jahr 2010 auf 0,075 aktualisiert. Heutzutage ist es üblich, dass die Lötstopmmaske eine Vergrößerung von 0,05 aufweist. All dies, weil der Herstellungsprozess im Laufe der Jahre immer besser wurde.
- Es ist an der Zeit, die Berechnungen für den Pad Stack und die Courtyard Überstände für die nächsten etwa 10 Jahre zu aktualisieren. Auch der Herstellungsprozess für Bauteil Toleranzen wird immer genauer und somit werden Benutzer bis zum Jahre 2030 die Bauteil Toleranzen nicht mehr benötigen. Folge wird sein, dass die Überstände der Pad Stacks und Courtyards wieder kleiner werden.
- Es wird also so kommen, dass die Fertigungsgenauigkeit ihr Maximum erreichen wird und so eine Toleranz in der Herstellung von 0 endlich Realität wird.



Pad r126_191

Veraltete, zu große Toleranz



Pad r75_160

0 Toleranz

Einfluss der Toleranzen vom IPC-7351B zu IPC-7352

IPC-7351B

Chip: 1206,1210,0612

Manufacturing Tolerances

Fabrication Tolerance ($\pm$)	0.05
Placement Tolerance ($\pm$)	0.025

Length > 2.85 and <= 3.85 mm

		Nominal	
Min. Courtyard to Body	0.40	0.20	0.10
Min. Courtyard to Pad	0.40	0.20	0.10
Toe	0.45	0.35	0.25
Heel	0.00	0.00	0.00
Side	0.05	0.00	-0.05

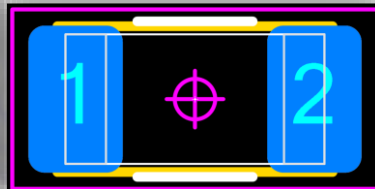
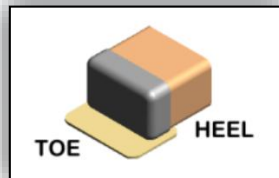
Pin Properties

Pin
Name: 1
Application: Signal
Location X: -1.475
Location Y: 0.00
Orientation: 180

Pad Stack
[r116 181r20](#)

Cancel

OK



IPC-7352

Chip: 1206,1210,0612

Manufacturing Tolerances

Fabrication Tolerance ($\pm$)	0.00
Placement Tolerance ($\pm$)	0.00

Nominal

Component Characteristic	Toe	Heel	Side	Crtyd Pad +	Crtyd Body +
Length >= 4.75 mm	0.50	0.00	0.00	0.20	0.20
Length >= 3.85, < 4.75 mm	0.40	0.00	0.00	0.20	0.20
Length >= 2.85, < 3.85 mm	0.35	0.00	0.00	0.20	0.20
Length >= 1.30, < 2.85 mm	0.30	0.00	0.00	0.20	0.20
Length >= 0.75, < 1.30 mm	0.20	0.00	0.00	0.15	0.15
Length >= 0.50, < 0.75 mm	0.10	0.00	0.00	0.15	0.15
Length < 0.50 mm	0.05	0.00	0.00	0.15	0.15

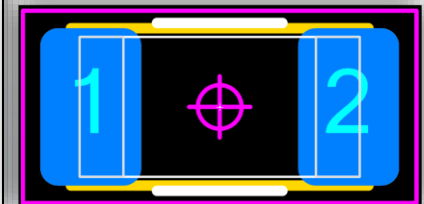
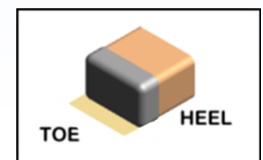
Pin Properties

Pin
Name: 1
Application: Signal
Location X: -1.473
Location Y: 0.00
Orientation: 180

Pad Stack
[r115 180r20](#)

Cancel

OK





- ❌ Die IPC-7351B ist ausschließlich für SMD Bauteile.
- ✅ Die IPC-7352 enthält nun auch Definitionen für THT Bauteile.

Table 4-2 Infinite Solder Flow (Includes Wave, Solder Pot, Selective Solder, Hand Solder)

			Board Thickness
			1mm < Th ≤ 2.35mm
Round Terminal	Pb-Free	Terminal Diameter Max + =>	0.4 mm
	SnPb	Terminal Diameter Max + =>	0.4 mm
Square Terminal	Pb-Free	Terminal Diagonal Max + =>	0.4 mm
	SnPb	Terminal Diagonal Max + =>	0.4 mm
Rectangular or Flat Terminal	Pb-Free	Terminal Diagonal Max + =>	0.35 mm
	SnPb	Terminal Diagonal Max + =>	0.35 mm
Plated Through Hole Size Tolerance +/- 0.08mm			

Richtwerte zum Abstand zwischen **Terminal zu Loch Größe** für die Standard Leiterplattendicke.

Table 4-3 Terminal to Finished Hole Size Adjustments for Board Thickness

Board Thickness	Terminal to Hole Clearance Adjustment
Thinner than .8 mm	Decrease standard terminal to hole clearance by up to 0.2 mm
Greater than or equal to .8mm and less than 1.0 mm	Decrease standard terminal to hole clearance by 0.1 mm
Greater than or equal to 1.0mm and less than or equal to 2.35 mm	Standard terminal to hole clearance
Greater than 2.35 mm and less than or equal to 4 mm	Increase standard terminal to hole clearance by 0.1 mm
Greater than 4 mm	Increase standard terminal to hole clearance by up to 0.2 mm

Vergrößerung oder Reduzierung des Durchmessers gegenüber der Standard Leiterplattendicke.

Table 4-4 Pad Size

Finished Hole size	Pad size for Pb Solder	Pad size for Pb-Free Solder
≤ 1mm	+ 0.5 mm	+ 0.5 mm
1mm < Drill size ≤ 1.25 mm	+ 0.75 mm	+ 0.75 mm
1.25mm < Drill Size ≤ 1.75 mm	+ 1 mm	+ 1 mm
1.75mm < Drill Size ≤ 2.25 mm	+ 1.25 mm	+ 1.25 mm
2.25mm < Drill Size	+1.5 mm	+1.5 mm

Es werden nur 5 **unterschiedliche Pad Durchmesser** verwendet.

IPC-7352 THT versus Proportional THT Pad Stack



< 0,8 mm

>= 0.8mm bis < 1.0 mm

>= 1.0 mm bis < 2.35 mm

>= 2.35 mm bis <= 4.0 mm

> 4mm



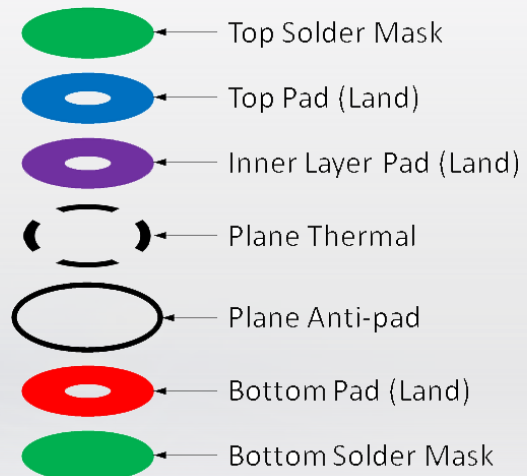
IPC-7352 1mm Lead

Lead Diameter	1 mm		
Table 4-2			C180h120
Board Thickness	Round or Square Terminal Diameter Max +	Diameter TH IPC-7352	Proportional TH
<0.8 mm	0,2	1,2	1,2
>= 0.8mm bis < 1.0 mm	0,3	1,3	1,2
>= 1.0 mm bis < 2.35 mm	0,4	1,4	1,2
>= 2.35 mm bis <= 4.0 mm	0,5	1,5	1,2
> 4mm	0,6	1,6	1,2

Table 4-3		
Terminal to Finished Hole Size		
Adjustments for Board Thickness	Terminal to Hole Clearance Adjustments	
Board Thickness	Round or Square	
<0.8 mm	-0,2	1
>= 0.8mm bis < 1.0 mm	-0,1	1,2
>= 1.0 mm bis < 2.35 mm	0	1,4
>= 2.35 mm bis <= 4.0 mm	0,1	1,6
> 4mm	0,2	1,8

Table 4-4		
Pad Size		
Finished Hole size	Pad size	
<= 1mm	0,5	1,5
1mm < Drill Size <= 1.25mm	0,75	2,15
1.25mm < Drill Size <= 1.75mm	1	2,4
1.75mm < Drill Size <= 2.25mm	1,2	2,8
2.25mm < Drill Size	1,5	3,3

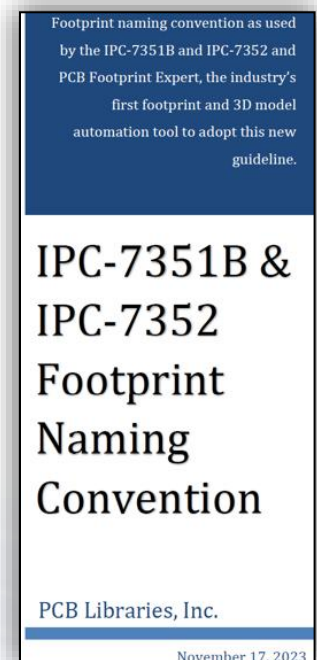
Proportional Pad Stack 1 mm Lead



Die Naming Convention für Landeflächen verwendet Komponentenabmessungen, damit man diese aus den Namen der Landeflächen ableiten kann. Die ersten 3 bis 6 Zeichen im Namen der Landefläche beschreiben die Komponentenfamilie. Die erste Zahl im Namen der Landefläche bezieht sich auf den Lead Spacing bzw. Anschlussabstand oder es bezieht sich auf die Position von Loch zu Loch, um das Lead einzufügen. Alle Zahlen, die dem Lead Spacing folgen, sind Komponentenabmessungen. Hinweis: Alle Bemaßungen der Komponenten sind in Millimetern angegeben und stehen zwei Stellen rechts vom Dezimalpunkt und enthalten keine führenden Nullen.

Die folgenden Zeichen werden als Kennung verwendet, die dem Wert bzw. der Bemaßung vorangestellt werden, zudem ist dies auch eine Reihenfolge der Prioritäten:

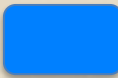
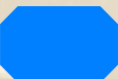
- P** = Pitch for components with more than two leads
- W** = Maximum Lead Width (or Component Lead Diameter)
- L** = Body Length for horizontal mounting
- D** = Body Diameter for round component body
- T** = Body Thickness for rectangular component body
- H** = Height for vertically mounted components
- Q** = Pin Quantity for components with more than two leads
- R** = Number of Rows for connectors



Der erste Buchstabe im Pad Stack Namen beschreibt die Form von dem Pad auf den Außenlagen der Leiterplatte. Es werden kleine Buchstaben verwendet.

Hinweis: „b“ = Oblongs, weil der Buchstabe „O“ mit der Zahl „0“ verwechselt werden könnte.

Den Grundformen werden folgende Abkürzungen zugewiesen:

	c	Circular	(= Kreis)
	s	Square	(= Quadrat)
✓NEU 	sr	Square Rounded	(= Quadrat mit Abgerundeten Ecken)
✓NEU 	sc	Square Chamfered	(= Quadrat mit Abschrägungen)
	r	Rectangle	(= Rechteck)
✓NEU 	rr	Rectangle Rounded	(= Rechteck mit Abgerundeten Ecken)
✓NEU 	cr	Rectangle Chamfered	(= Rechteck mit Abschrägungen)
	b	Oblong	(= Länglich)
	d	D-Shape	(= ein Ende quadratisch & das andere Ende rund)
	u	User defined contour	(= Unregelmäßige Form)

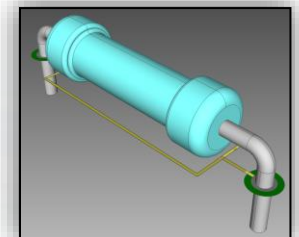
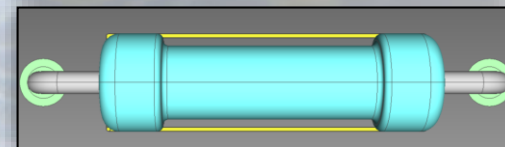
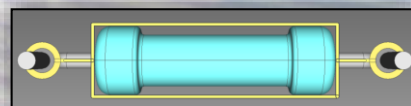
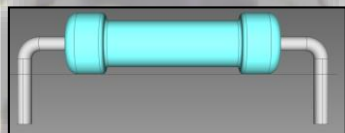
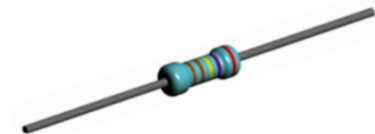
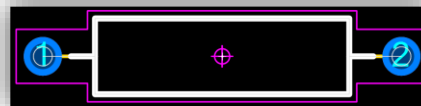
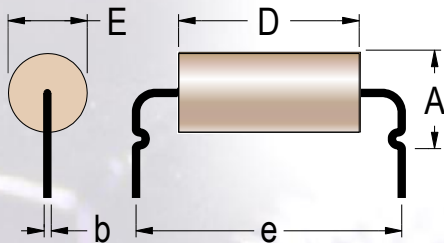
Kategorie: Resistors, Axial Diameter Horizontal Mounting

Bauteilname: RESAD1199W58L850D250

RESAD + Lead Spacing + **W** Lead Width + **L** Body Length + **D** Body Diameter

RES	Resistors
AD	Axial Diameter
Leading Spacing	11.99 mm
W	5.80 mm
L	8.50 mm
D	2.50 mm

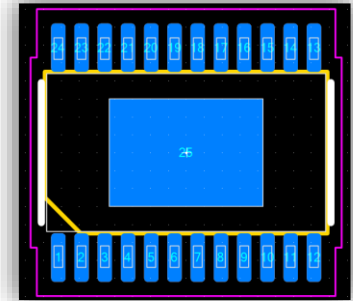
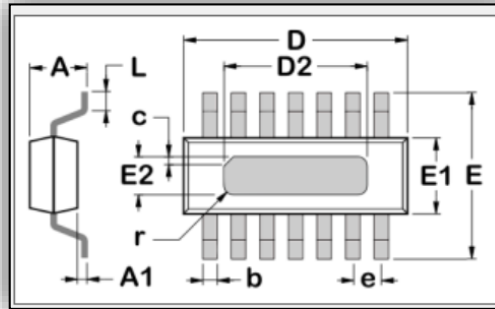
Family	Resistor				
Pitch (e)	11.99				
Set tab stops for:	☐ Nom/Tol ☐ Min/Max ☒ Required.				
	Nom	- Tol	+ Tol	Min	Max
A					* 2.50
b	0.58	-0.05	0.05	* 0.53	* 0.63
D					* 8.50
E					* 2.50



Zusätzliche Informationen in der Naming Conventions

- Einer der grundlegenden Unterschiede zwischen den Naming Conventions der IPC-7351B, IPC-7352 und PCB Footprint Expert ist die Position der Pin-Anzahl.

	Nom	- Tol	+ Tol	Min	Max
A					1.20
A1				0.00	
b	0.245	-0.055	0.055	0.19	0.30
c					
D	7.80	-0.10	0.10	7.70	7.90
D2	4.30				
E	6.40	-0.20	0.20	6.20	6.60
E1	4.40	-0.10	0.10	4.30	4.50
E2	3.00				
L	0.60	-0.15	0.15	0.45	0.75
r					



IPC-7351B

SOP65P640X120-25N

- No Body Length
- No Lead Information
- No Thermal Tab data

IPC-7352

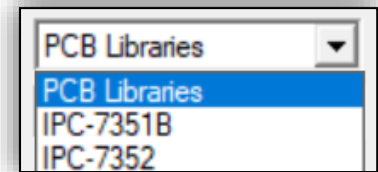
SOP65P640X120-25T430X300N

- No Lead Information

PCB Footprint Expert

SOP25P65_780X640X120L60X24T430X300N

- Body Length, Lead Information, Thermal Tab data

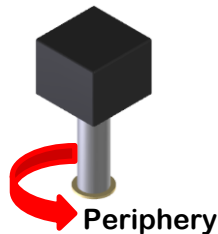


Genehmigt vom 1-13
IPC-Komitee in 2017.

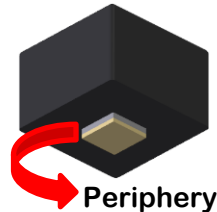
Anschlussformen für die Oberflächenmontage (SMD)



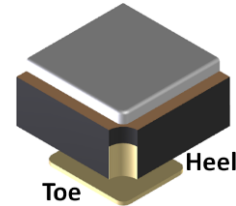
Ball



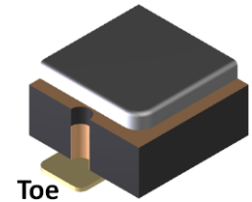
Column



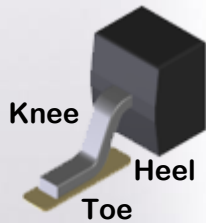
**Flat No-Lead
(Bottom Only)**



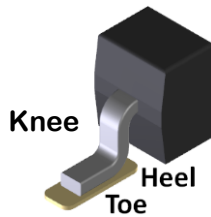
**Corner
Concave**



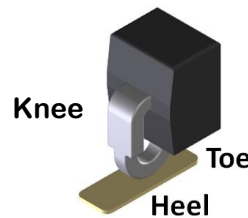
**Side
Concave**



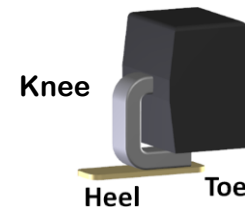
Gullwing



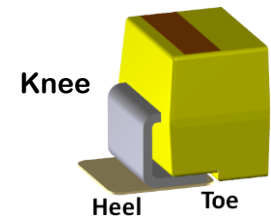
Outward L Lead



J-Lead



Inward L-Lead



**Inward Flat
Ribbon L**



**Flat No-Lead
(Side)**



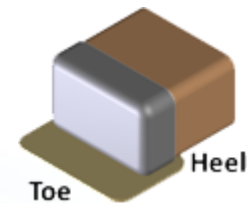
Flat Lead



**Under Body
Outward L Lead**



**Cylindrical
End Cap**

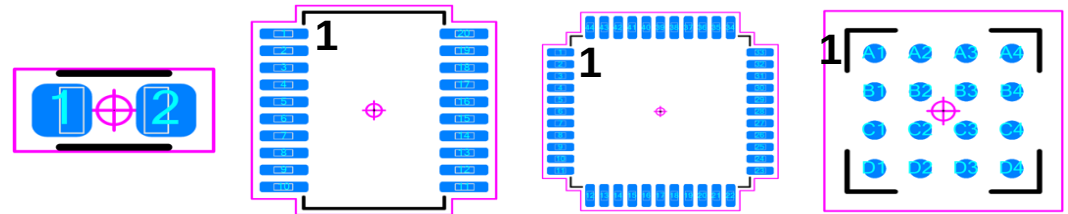


**Rectangular
or Square End**

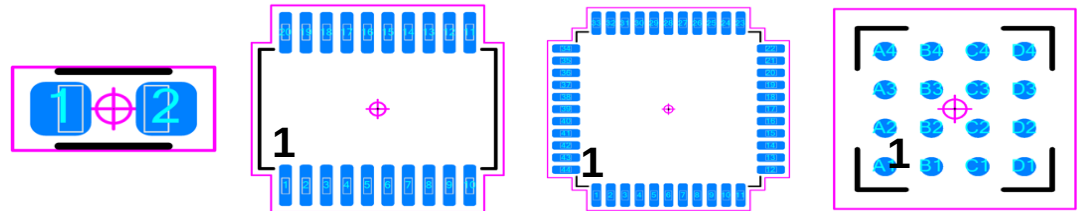
International Standard (IEC 61188-7) Nullpunkt



Die Nullpunkt Orientierung mit Pin 1 in der **oberen** linken Ecke wurde 2007 in der **IPC-7351A** veröffentlicht und wird in der Software als **“Level A”** bezeichnet.



Die Nullpunkt Orientierung mit Pin 1 in der **unteren** linken Ecke wurde 2009 in der **IEC 61188-7** veröffentlicht und wird in der Software als **“Level B”** bezeichnet.

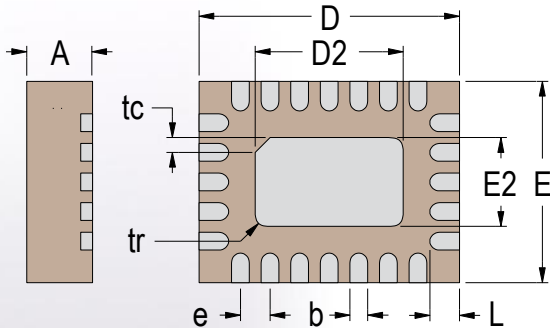


Hinweis: Für neue ECAD-Bibliotheken wird der Level B als Standard empfohlen.

Level B wird aus drei Gründen als Standard für neue ECAD-Bibliotheken empfohlen. 18 Jahre lang verwendete das ursprüngliche IPC-SM-782 Level B. Der Platzbedarf sollte aufgrund der Form von Computerbildschirmen und der ANSI- und IEC-Papiergrößen horizontal lang sein. PCB-Layouts sind horizontal lang, um richtig auf die Standardpapiergrößen zu passen.

Bekannte JEDEC Bemaßungen (Dimensioning)

Basierend auf der bekannten JEDEC Bemaßungen mit zusätzlichen Erweiterungen und den Standardisierten Regeln ist das fertige Footprint nur wenigen Mausklicks erstellt.



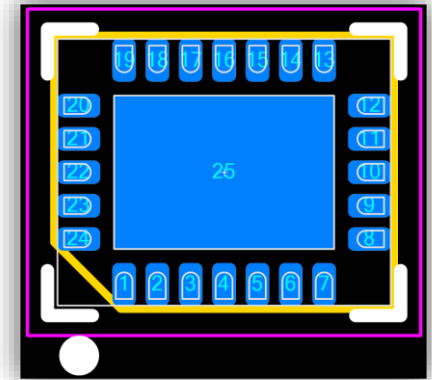
Lead Shape: D-Shape

Pitch (e): 0.50

D: 7, E: 5, Count: 24

Set tab stops for: ☐ Nom/Tol ☐ Min/Max ☒ Required.

	Nom	- Tol	+ Tol	Min	Max
A					0.80
b	0.25	-0.05	0.05	0.20	0.30
c					
D	5.00	-0.10	0.10	4.90	5.10
D2	3.30				
E	4.00	-0.10	0.10	3.90	4.10
E2	2.30				
L	0.40	-0.10	0.10	0.30	0.50
L2	0.10				
r					

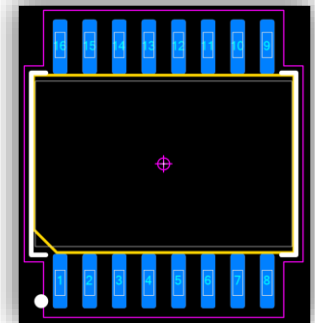


Pitch (e): 1.27

Pkg: 16, Count: 16

Set tab stops for: ☐ Nom/Tol ☐ Min/Max ☒ Required.

	Nom	- Tol	+ Tol	Min	Max
A					2.50
A1				0.25	
b	0.43	-0.05	0.05	0.38	0.48
D	11.02	-0.15	0.15	10.87	11.17
E	11.30	-0.30	0.30	11.00	11.60
E1	7.10	-0.52	0.52	6.58	7.62
L	1.085	-0.185	0.185	0.90	1.27



Family: Resistor

Pitch (e): 11.99

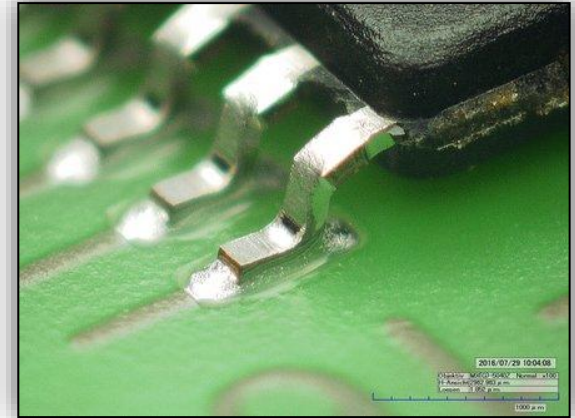
Set tab stops for: ☐ Nom/Tol ☐ Min/Max ☒ Required.

	Nom	- Tol	+ Tol	Min	Max
A					2.50
b	0.58	-0.05	0.05	0.53	0.63
D					8.50
E					2.50



Lötziel für Gullwing Toes nach IPC J-STD-001

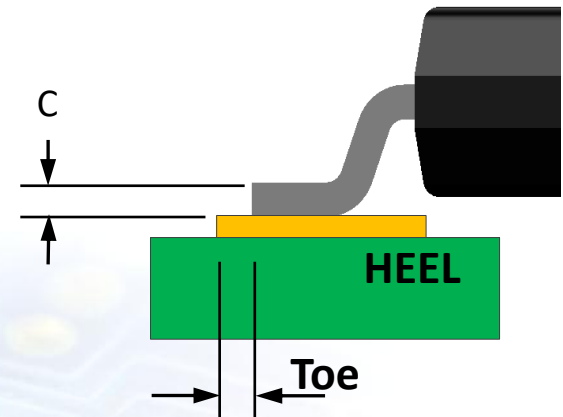
Die Anatomie des menschlichen Beines wird verwendet, um die Zehen- und Fersenposition der Lötstelle zu bestimmen.



PCB Libraries Gullwing Terminal Lead Solder Joint Goal for Determining the Toe Value

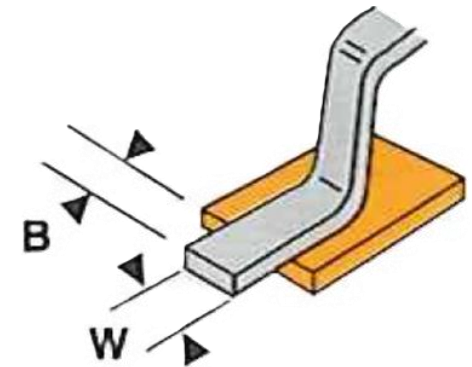
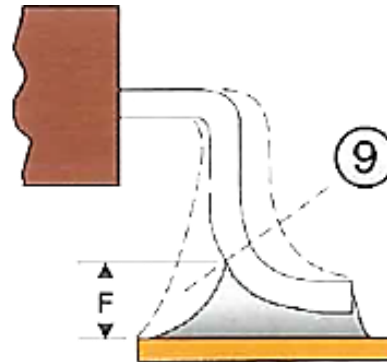
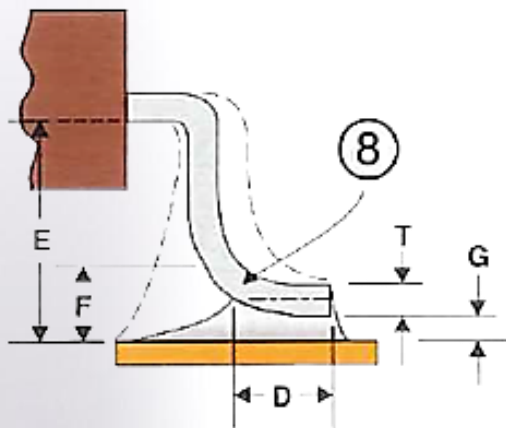
Terminal Lead Pitch	Cnom	Toe
> 1.00	0.35	0.35
> 0.80 and ≤ 1.00	0.30	0.30
> 0.65 and ≤ 0.80	0.25	0.25
> 0.50 and ≤ 0.65	0.20	0.20
> 0.40 and ≤ 0.50	0.15	0.15
≤ 0.40	0.15	0.15

c = Terminal Thickness
Cnom = Toe



Lötziel für Gullwing Toes nach IPC J-STD-001 und Klassen

- **F Größe** für Heel-Abrundung der **Fertigungs-klasse 1** ist: **Benetzung ist gut erkennbar**
- **F Größe** für Heel-Abrundung der **Fertigungs-klasse 2** ist: **(G) + 50% (T)**
- **F Größe** für Heel-Abrundung der **Fertigungs-klasse 3** ist: **(G) + (T)**



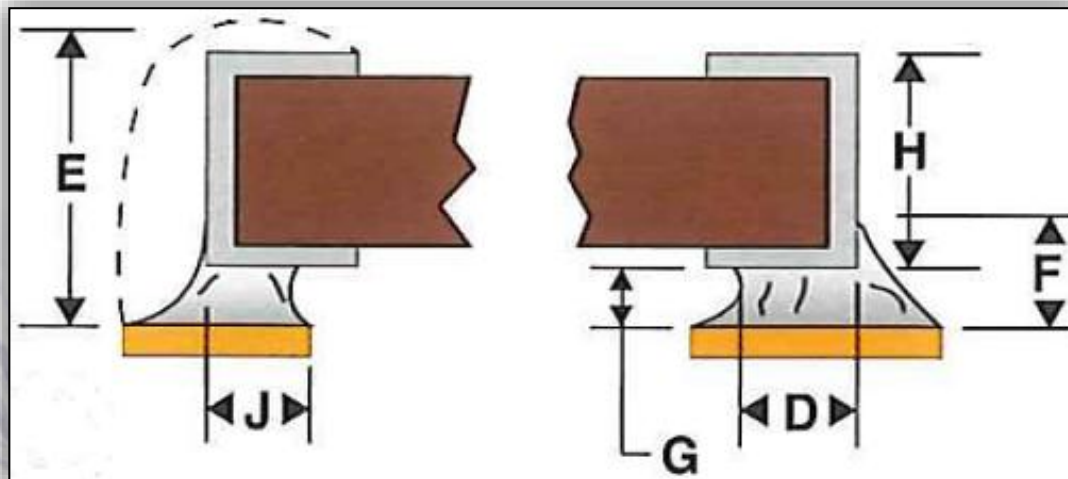
- $G = \text{Stencil Dicke (0.12mm)} \text{ minus } 0.07\text{mm} \text{ für das Schmelzen im Reflow-Ofen. Es verbleiben somit die üblichen ca. } 0.05\text{mm} \text{ unter dem SMD Anschluss.}$
- IPC - Pad Trimmen unter Low-Profile SOP, QFP und SOT Bauteilen ist nicht nötig.

Hinweis zur B-Dimension:

PC-J-STD-001 erwähnt keine Mindest Toe Empfehlung. Der einzige Kommentar zu Toe ist, dass das Anschluss nicht über das Pad geht, und den Mindestabstand zu anderen Objekten zu verletzt.

Minimale Abrundungshöhe für Chip Bauteile:

- Das Maß „E“ ist für alle Klassen zulässig. Es stellt die maximale Lötmenge dar.
- Die Klassen 1 und 2 erfordern keine Abrundungen „F“ (nur Benetzung erkennbar sein)
- Für rechteckige oder quadratische Endanschlüsse muss, gemäß der IPC-J-STD-001, die Class 3 Toe-Lötstelle mindestens 25% der Gehäusehöhe oder 0,50 mm betragen – je nachdem, welcher Wert geringer ist Siehe F Maß.
- Ausnahme ist das Handlöten. Idealerweise sollten die Pads zuerst verzinnt werden, damit die Handmontage den Bauteilanschluss erhitzen und das Bauteil auf der Leiterplatte befestigt werden kann. Zusätzliches Lötmittel für „F“ hinzugefügt.



Lötziel für Gullwing Heels nach IPC J-STD-00

Die IPC-7551 unterscheidet nur zwischen größer oder gleich 0603 und kleiner 0603 (Größe 0603 = 0,6mm x 0,3mm).

Table 3-5 Rectangular or Square-End Components (Capacitors and Resistors) Equal to or Larger than 1608 (0603) (unit: mm)			
Lead Part	Maximum (Most) Density Level A	Median (Nominal) Density Level B	Minimum (Least) Density Level C
Toe (J_T)	0.55	0.35	0.15
Heel (J_H)	0.00	0.00	0.00
Side (J_S)	0.05	0.00	-0.05
Round-off factor	Round off to the nearest two place decimal, i.e., 1.00, 1.05, 1.10, 1.15		
Courtyard excess	0.5	0.25	0.1
Chip Resistor RESC Construction and land pattern development are described in 8.1			
Chip Capacitor CAPC Construction and land pattern development are described in 8.2			
Chip Inductor INDC Construction and land pattern development are described in 8.3			

Table 3-6 Rectangular or Square-End Components (Capacitors and Resistors) Smaller than 1608 (0603) (unit: mm)			
Lead Part	Maximum (Most) Density Level A	Median (Nominal) Density Level B	Minimum (Least) Density Level C
Toe (J_T)	0.30	0.20	0.10
Heel (J_H)	0.00	0.00	0.00
Side (J_S)	0.05	0.00	-0.05
Round-off factor	Round off to the nearest two place decimal, i.e., 1.00, 1.02, 1.04, 1.06		
Courtyard excess	0.2	0.15	0.1
Chip Resistor RESC Construction and land pattern development are described in 8.1			
Chip Capacitor CAPC Construction and land pattern development are described in 8.2			
Chip Inductor INDC Construction and land pattern development are described in 8.3			

Die IPC-7552 unterscheidet nur zwischen größer 0.5mm oder kleiner 0.5mm.

Table 3-3 Rectangular or Square-End Components with Lead Widths Equal to or Larger than 0.5 mm where Leads are 1, 2, 3 or 5 Sided			
Lead Part	Maximum (Most) Material Level A	Median (Nominal) Material Level B	Minimum (Least) Material Level C
Toe (J_T)	0.55 mm	25% of the nominal height of the component or 0.5 mm whichever is less	0.15 mm
Heel (J_H)	0.00 mm	0.00 mm	0.00 mm
Side (J_S)	0.05 mm	0.00 mm	0.00 mm
Courtyard excess	0.50 mm	0.25 mm	0.10 mm
Round-off factor	Round off to the nearest two place decimal (i.e., 1.01, 1.02, 1.03, etc.)		

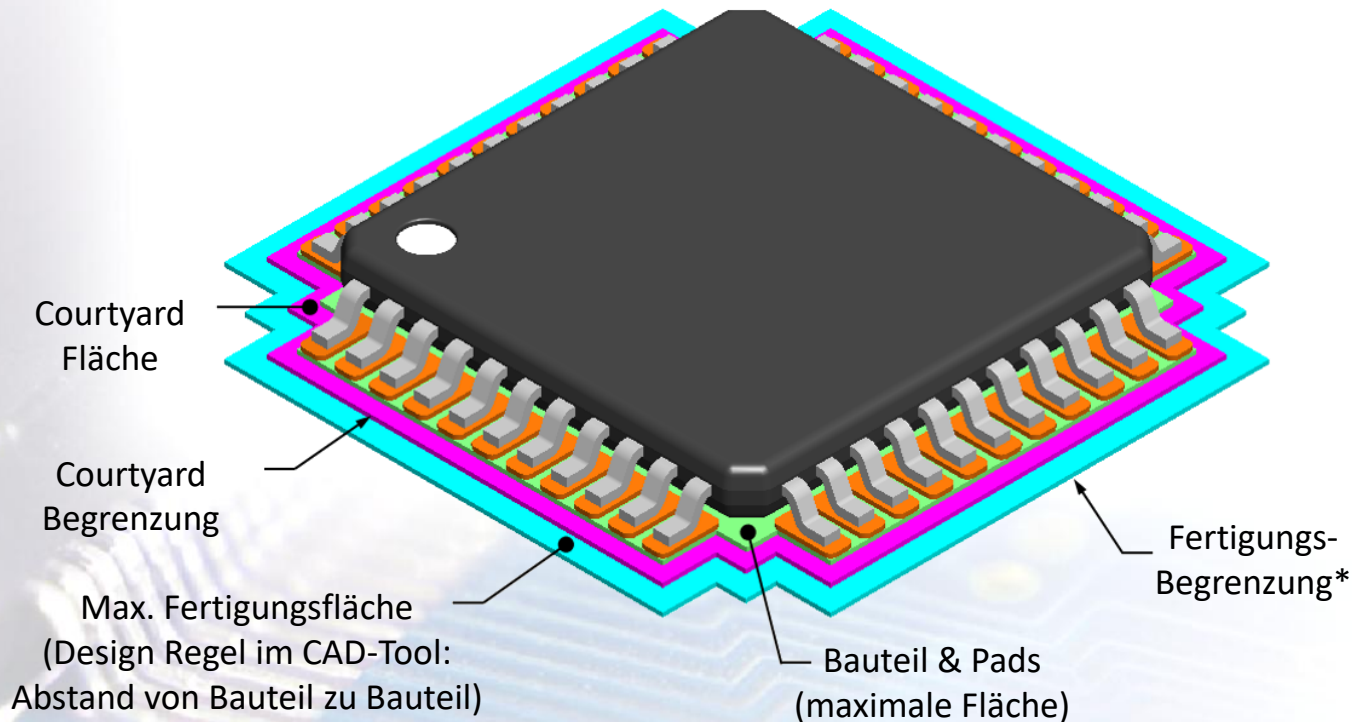
Table 3-4 Rectangular or Square-End Components with Pin Widths Smaller than 0.5 mm where Leads are 1, 2, 3 or 5 Sided			
Lead Part	Maximum (Most) Material Level A	Median (Nominal) Material Level B	Minimum (Least) Material Level C
Toe (J_T)	100% of the nominal height of the component	50% of the nominal height of the component	25% of the nominal height of the component
Heel (J_H)	0.00 mm	0.00 mm	0.00 mm
Side (J_S)	0.00 mm	0.00 mm	0.00 mm
Courtyard excess	0.20 mm	0.15 mm	0.10 mm
Round-off factor	Round off to the nearest 0.005 mm increment (i.e., 1.005, 1.010, 1.015, 1.020, etc.)		
Note 1: Round-off factor is for toe fillet calculation only due to size of components referenced here.			

In der Praxis werden feinere Unterteilungen verwendet.

Footprint Expert Solder Joint Goal Tables: Rectangular End Cap - Resistor, Capacitor, Diode, Inductor, LED, Bead

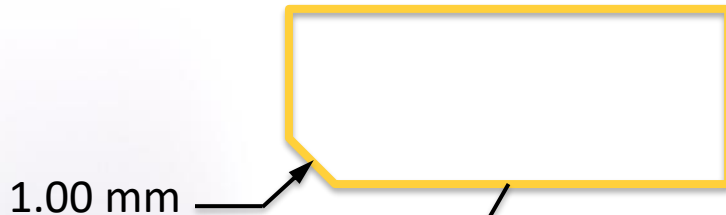
Chip Package Sizes	Rectangular End Cap Nominal Package Length	Least Density Level				Nominal Density Level				Most Density Level			
		Toe	Heel	Side	Courtyard	Toe	Heel	Side	Courtyard	Toe	Heel	Side	Courtyard
2010 & Greater	Length > 4.75 mm	0,40	0,00	0,00	0,10	0,50	0,00	0,00	0,20	0,60	0,00	0,05	0,40
1812 & 1825	Length > 3.85 and <= 4.75 mm	0,30	0,00	0,00	0,10	0,40	0,00	0,00	0,20	0,50	0,00	0,05	0,40
1206, 1210 & 0612	Length > 2.85 and <= 3.85 mm	0,25	0,00	0,00	0,10	0,35	0,00	0,00	0,20	0,45	0,00	0,05	0,40
0603, 0705 & 0805	Length > 1.30 and <= 2.85 mm	0,20	0,00	0,00	0,10	0,30	0,00	0,00	0,20	0,40	0,00	0,05	0,40
0402, 0306 & 0502	Length > 0.75 and <= 1.30 mm	0,15	0,00	0,00	0,10	0,20	0,00	0,00	0,15	0,25	0,00	0,00	0,20
0201	Length > 0.50 and <= 0.75 mm	0,08	0,00	0,00	0,10	0,10	0,00	0,00	0,15	0,12	0,00	0,00	0,20
01005 & Less	Length <= 0.50 mm	0,04	0,00	0,00	0,10	0,05	0,00	0,00	0,15	0,06	0,00	0,00	0,20

- Die IPC-7351B bezog sich auf einen Courtyard-Überschuss von 0,25 für das Nominal Density Level. Kundenfeedbacks haben allerdings aufgezeigt, dass ein Courtyard-Überschuss von 0,20 perfekt funktioniert.
- Der Courtyard-Überschuss für das Least Density Level beträgt 0,10, für das Nominal Density Level 0,20 and für das Most Density Level 0,40. Dabei gibt es zwei Courtyard-Einstellungen. Eine für den Bauteilkörper und eine für das Pad. Der Bauteilkörper nutzt die maximalen Bauteilabmessungen.



Assembly Polaritätsmarkierung - Pin 1 Indication

Polarisierter Chip, SOD,
LED, SOT. Molded Body



Nicht polarisierter Chip,
Crystal, Molded Body

0.10 mm
Linenbreite

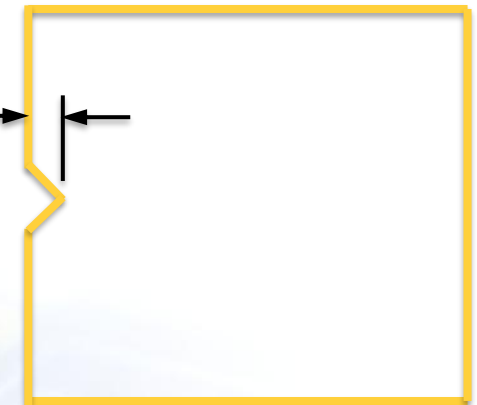


Small Outline Package
SOP, SON, QFN, QFP



Plastic Leaded Chip Carrier
PLCC, LCC, 4-sided Chip Array

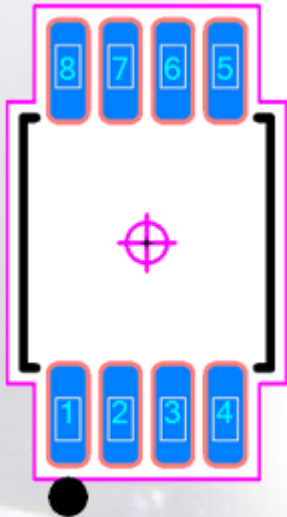
1.00 mm



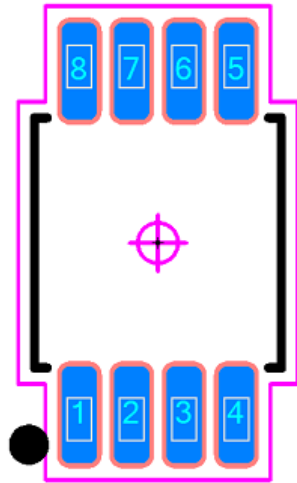
1 mm Typ.
Abschrägung oder 25%
der Bauteilbreite
(das kleinere wählen)



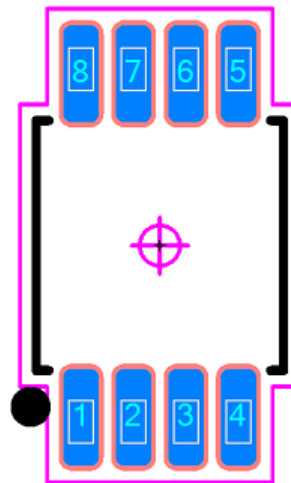
- Nicht erforderlich sind Polaritätsmarkierungen für Gehäuse, die während der Montage umgedreht werden können (z. B. Widerstände).
- Der minimale Punktdurchmesser sollte 0,40 mm betragen. Der Bereich für Punktgrößen liegt zwischen 0,40 und 1,00. Der Punktdurchmesser sollte den gleichen Wert wie die Padbreite haben, aber innerhalb des Bereichs bleiben.



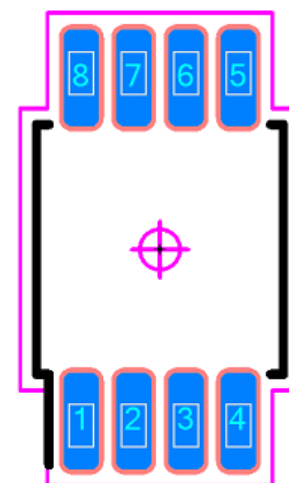
Nicht empfohlen,
weil eine Via
möglicherweise
an der gleichen
Stelle ist



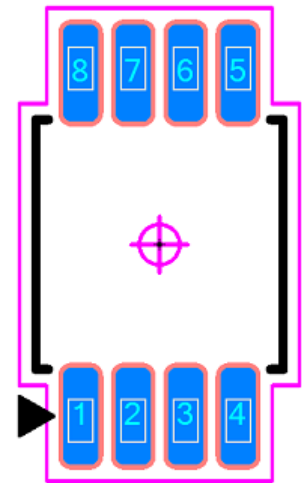
Empfohlen, weil
der Abstand zum
Bauteil korrekt ist



Nicht empfohlen,
weil der Abstand
zum Bauteil zu
dicht ist

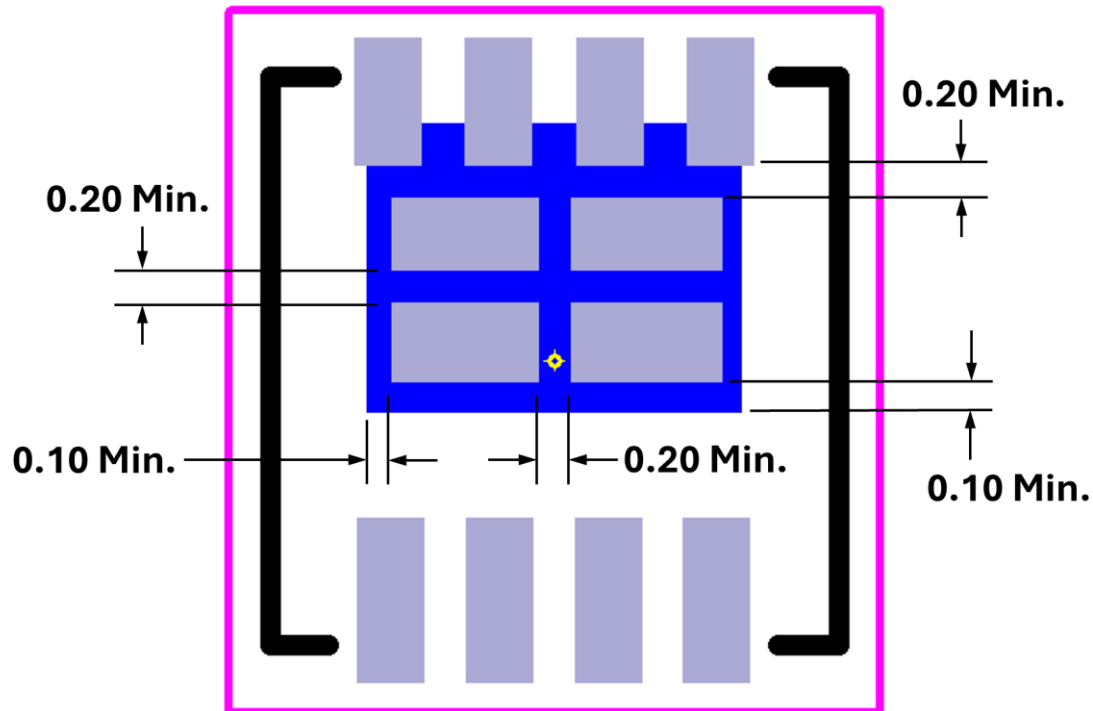


Eine Linie wäre
möglich, könnte
aber von dem
Bauteil verdeckt
werden



Dreieck-Form ist
eine häufig
genutzte Art in
Europa

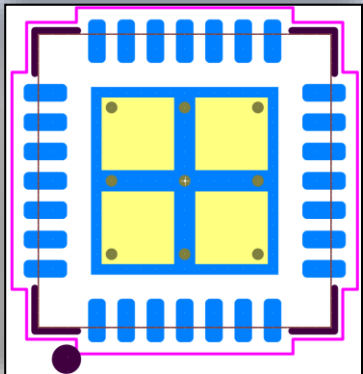
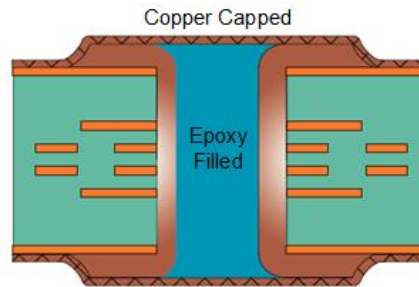
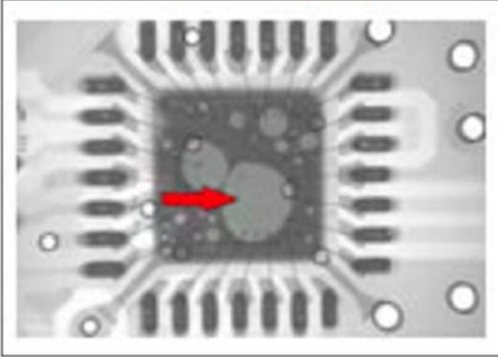
- Hier sind die Regeln für den SON mit einem Wärmeleitpad, das die Signalpads berührt.
Hinweis: Dies sind Mindestwerte. Es gibt keine Höchstwerte, aber es sollten mindestens 50 % der Pasten Abdeckung auf dem Wärmeleitpad beibehalten werden.



Hohlräume (Voids) der Pastenmaske in Thermal Pads CSK

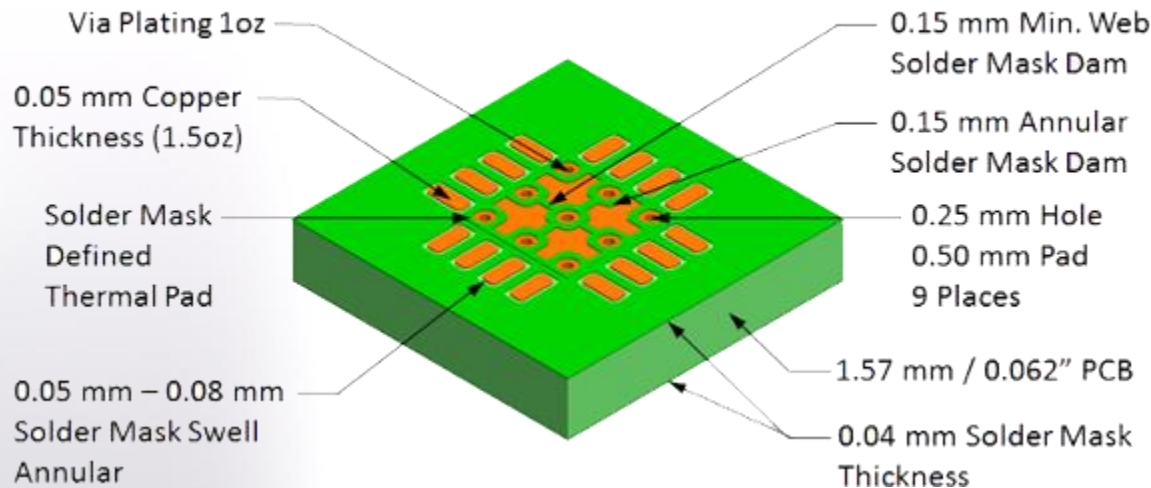
- Der PCB-Designer hat möglicherweise einen Fertigungshinweis zum Verschließen der Löcher im Wärmeleitpad erstellt, ohne zu wissen, dass sich dadurch die Kosten für nur ein einziges BTC (Bottom Terminal Component) um 10 - 15 % erhöhen würden.

Voiding Found Using X-Ray Imaging Equipment

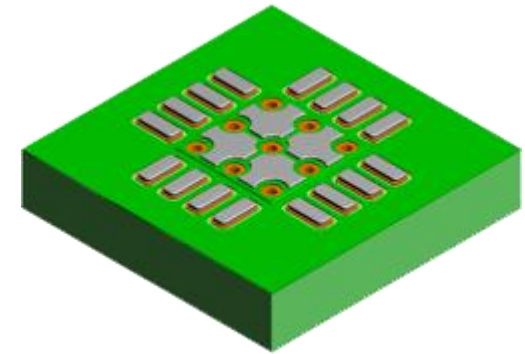


Mit der IPC-7093 wird ein durch Lötstopplack definiertes Wärmeleitpad erstellt um Lötdämme zwischen dem Schachbrettmuster und um die Durchkontaktierungen herum zu erzeugen, die verhindern, dass Lot in offene Durchkontaktierungslöcher fließt. Diese Durchkontaktierungen müssen nicht verschlossen werden, wodurch Fertigungskosten gespart und gleichzeitig eine zuverlässige Lötverbindung geschaffen wird.

QFN With Solder Mask Defined Thermal Pad

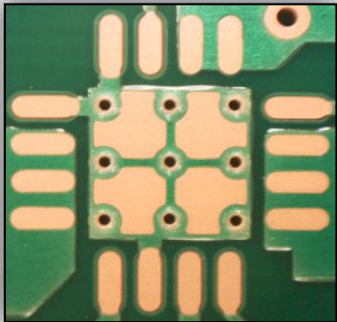


QFN mit Pastenmaske



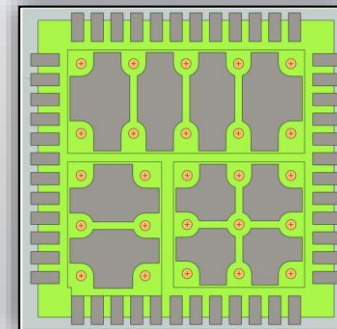
QFN mit Thermal Pad

Die Solder Mask hat dieselbe Form wie die Öffnungen der Pastenmaske. Der minimale Abstand ist 0,80 mm. Neun Vias ermöglichen die maximale Wärmereduzierung. Mehr Vias würden die Wärme nur auf ein weniger signifikantes Niveau reduzieren.



QFN mit 3 Wärmeleitpads

Die Lötmaske hat die gleiche Form wie die Öffnungen der Pastenmaske.

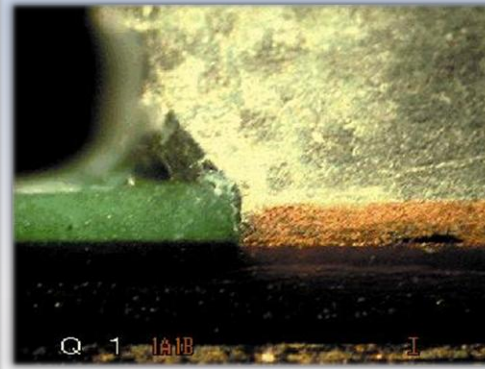


BGA Solder Joints Collapsing & Non-Collapsing

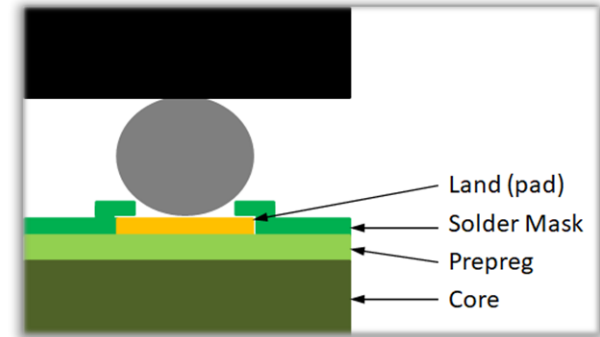
Alle BGA-Kugeln kollabieren. Nicht kollabierende BGA-Kugeln werden vom PCB-Bibliothekar erstellt, indem er die Pads durch eine Solder Mask definiert oder die Padgröße größer als die Kugel macht.



Collapsing BGA Ball



Non-Collapsing BGA Ball



Solder Mask Defined BGA Ball

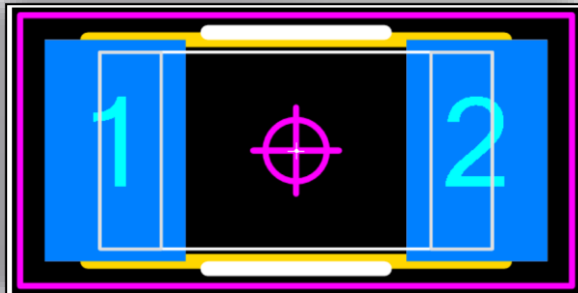
Nominal Ball Diameter	Reduction	Land Pattern Density Level	Nominal Pad Diameter	Pad Variation
0.75	25%	A	0.55	0.60 – 0.50
0.65	25%	A	0.50	0.55 – 0.45
0.60	25%	A	0.45	0.50 – 0.40
0.55	25%	A	0.41	0.46 – 0.36
0.50	20%	B	0.40	0.45 – 0.35
0.45	20%	B	0.36	0.41 – 0.31
0.40	20%	B	0.32	0.37 – 0.27
0.35	20%	B	0.28	0.33 – 0.23
0.30	20%	B	0.24	0.00
0.25	20%	B	0.20	0.00
0.20	15%	C	0.17	0.20 – 0.14
0.17	15%	C	0.14	0.17 – 0.11
0.15	15%	C	0.12	0.15 – 0.10

Nominal Ball Diameter	Increase	Land Pattern Density Level	Nominal Pad Diameter	Pad Variation
0.75	15%	A	0.86	0.91 – 0.81
0.65	15%	A	0.75	0.80 – 0.70
0.60	15%	A	0.69	0.74 – 0.64
0.55	15%	A	0.63	0.68 – 0.58
0.50	10%	B	0.55	0.60 – 0.50
0.45	10%	B	0.50	0.55 – 0.45
0.40	10%	B	0.44	0.49 – 0.39
0.35	10%	B	0.38	0.43 – 0.33
0.30	10%	B	0.33	0.38 – 0.28
0.25	10%	B	0.27	0.32 – 0.22
0.20	5%	C	0.21	0.24 – 0.18
0.17	5%	C	0.18	0.21 – 0.15
0.15	5%	C	0.16	0.19 – 0.13

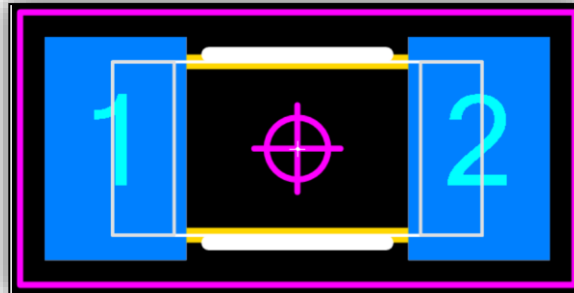
Die IPC hat eine Regel für BGA-Pad Größen Toleranzen. Sie nehmen einen Nominal Ball und reduzieren oder erhöhen die Pad Größe um einen Prozentsatz, dann fügen sie eine Pad Größen Toleranz (Variation) hinzu. IPC-7351 empfiehlt die Verwendung des maximalen Materialzustands der Variation.

- In diesem Beispiel ist ein 1206 Chip Resistor Package abgebildet. Die Bilder 1 - 3 zeigen den gleichen exakten Pad (Blau) für das gleiche Bauteil (Weiß) mit unterschiedlichen Material-Toleranzen (Größen der grau-weißen Begrenzungen), namens Minimum, Nominal und Maximum.

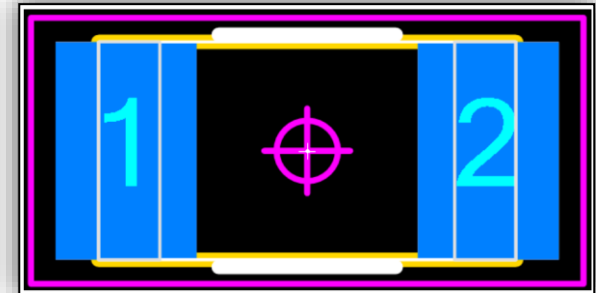
1. The **Nominal Material condition** of the component package & **Nominal Pad**.



2. The **Minimum Material condition** of the component package & **Nominal Pad**.



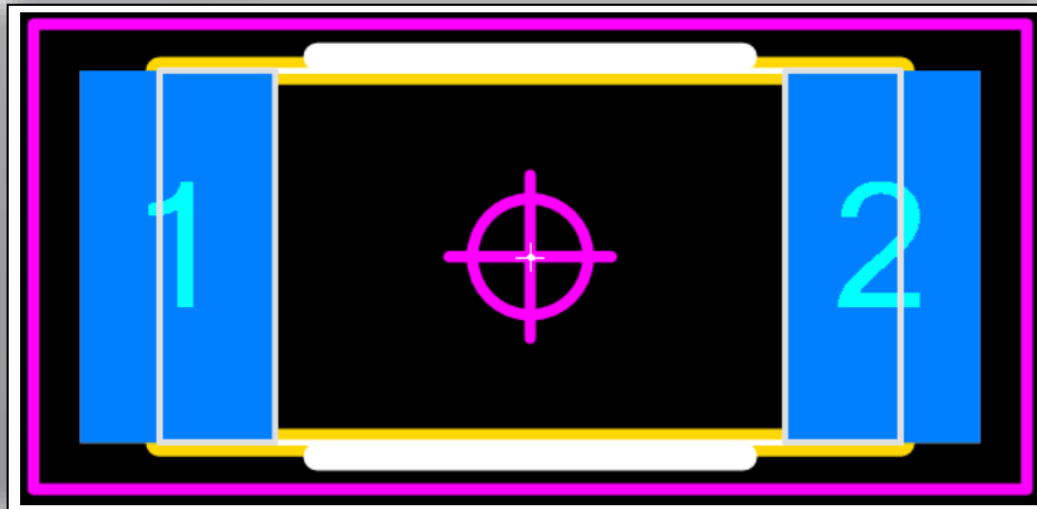
3. The **Maximum Material condition** of the component package & **Nominal Pad**.



Der berechnete Pad-Stack (Blau) muss für alle Material-Toleranzen (Größen der grau-weißen Begrenzungen) passend sein, um die Prüfungen der Montage, den Anforderungen der IPC J-STD-001 und den Anforderungen der IPC-7352 zu erfüllen.

Hinweis: Der Anschluss des Bauteiles befindet sich niemals außerhalb der Pad-Stacks.

- Das Bild zeigt eine ideale Lösung der IPC-7352. Eine in der Praxis üblicherweise genutzte Nominal Material Condition of the Package Dimensions in Verbindung mit einer Toleranz von 0.



Nominal Density Level			
Toe	Heel	Side	Courtyard
0.50	0.00	0.00	0.20
0.40	0.00	0.00	0.20
0.35	0.00	0.00	0.20
0.30	0.00	0.00	0.20
0.20	0.00	0.00	0.15
0.10	0.00	0.00	0.15
0.05	0.00	0.00	0.15

Die passenden Begrenzungen in dieser Darstellung sind der Beweis dafür, dass das in der IPC-7352 enthaltene mathematische Model fehlerfrei umgesetzt werden kann.

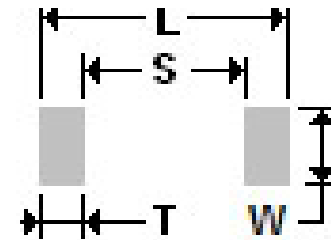
➤ **Definitons (All dimensions are in millimeters):**

- tol = tolerance; min = minimum; max = maximum; L = lead span; S = lead space; T = terminal length; W = terminal width

➤ **Example for a 1206 Chip:**

- **Lmax** = 3.40, **Lmin** = 3.00, **Ltol** = length tolerance = $L_{max} - L_{min} = 0.40$
- **Tmax** = 0.75, **Tmin** = 0.25, **Ttol** = terminal tolerance = $T_{max} - T_{min} = 0.50$
- **Wmax** = 1.80, **Wmin** = 1.40, **Wtol** = width tolerance = $W_{max} - W_{min} = 0.40$

- **Smax** = $L_{max} - (2 * T_{min}) = 3.40 - (2 * 0.25) = 2.90$
- **Smin** = $L_{min} - (2 * T_{max}) = 3.00 - (2 * 0.75) = 1.50$
- **Stol** (worst case) = $S_{max} - S_{min} = 2.9 - 1.5 = 1.40$



① Der Worst-Case-Unterschied zwischen „Smin“ und „Smax“, 1,40, ist statistisch unwahrscheinlich, da eine gleichzeitige Kombination extremer Materialbedingungen über den tatsächlichen Bereich hinausgeht, in dem Komponenten hergestellt werden. Um einen realistischeren Toleranzbereich zu erhalten, wird der **RMS-Wert (Root Mean Square)** anhand der Toleranzen der beteiligten Abmessungen berechnet. In diesem Fall „L“ und „T“.

- $Stol (RMS) = \text{RMS tolerance accumulation} = \sqrt{(Ltol^2) + (2 * Ttol^2)}$
- **Stol (RMS)** = $\sqrt{0.40^2 + (2 * 0.50^2)} = 0.81$

- Sdiff = difference between Stol (worst case) and Stol (RMS)
- **Sdiff** = $Stol - Stol (RMS) = 1.40 - 0.81 = 0.59$

① Um eine neue maximale und minimale Abmessung für „S“ abzuleiten und Land Pattern zu bestimmen, wird die Hälfte von „Sdiff“ von „Smax“ subtrahiert und die Hälfte von „Sdiff“ zu „Smin“ addiert. Diese Technik wird verwendet, damit realistischere „S“-Grenzwerte in den Land Pattern Gleichungen zur Berechnung der minimalen Land Pattern Lücke zwischen den inneren Fersenenden (~ *Heel Ferse*) verwendet werden.

- **Smax (RMS)** = $S_{max} - (Sdiff / 2) = 2.90 - (0.59 / 2) = 2.605$
- **Smin (RMS)** = $S_{min} + (Sdiff / 2) = 1.50 + (0.59 / 2) = 1.795$

➤ **Definitons:**

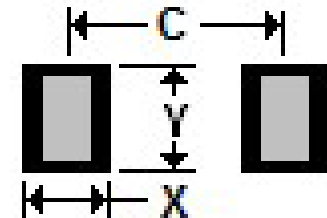
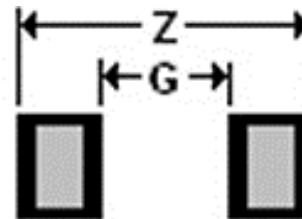
- Zmax = pad span; Gmin = pad space; Jt = toe goal (outside fillet); Jh = heel goal (inside fillet); Js = side goal (fillet); RMS = Root Mean Square; F = fabrication tolerance; P = placement tolerance

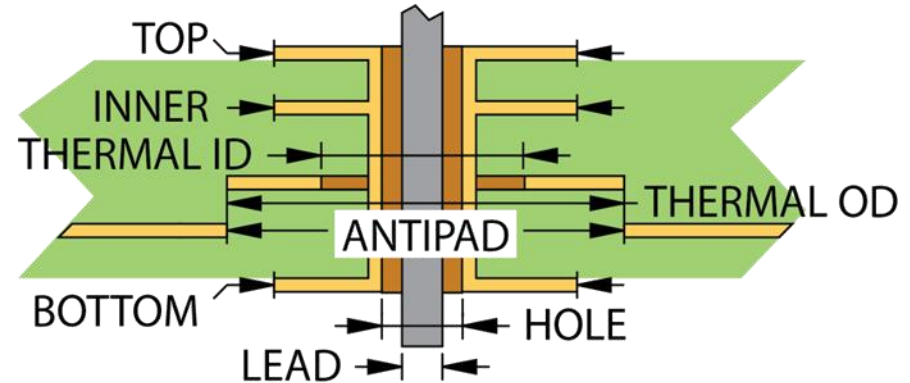
➤ **Example for the 1206 Chip:**

① F & P wurden früher als Faktoren mit typischen Werten von F = 0,05 und P = 0,025 betrachtet. Sie werden in diesem Beispiel auf Null gesetzt, um Verbesserungen in den Herstellungs- und Montageprozessen widerzuspiegeln, und werden nur zur Veranschaulichung ihres Platzes in der Footprint-Berechnung einbezogen.

F = 0, P = 0, Jt = 0.35, Jh = 0, Js = 0

- $Z_{max} = L_{min} + (2 * J_t) + \sqrt{L_{tol}^2 + F^2 + P^2}$
- **Zmax = 3.00 + (2 * 0.35) + $\sqrt{0.40^2 + 0^2 + 0^2}$ = 4.10**
- $G_{min} = S_{max} (RMS) - (2 * J_h) - \sqrt{S_{min} (RMS) + F^2 + P^2}$
- **Gmin = 2.605 - (2 * 0) - $\sqrt{0.815^2 + 0^2 + 0^2}$ = 1.79**
- Pad Size X = (Zmax – Gmin) / 2
- **Pad Size X = (4.10 – 1.79) / 2 = 1.155**
- Pad Center-to-Center C = Zmax - Pad Size X
- **Pad Center-to-Center C = 4.10 – 1.155 = 2.945**
- Pad Size Y = Wmin + (2 * Js) + Wtol
- **Pad Size Y = 1.40 + (2 * 0) + 0.40 = 1.80**





Enter Data	
Maximum Lead (see above)	0.50
Hole over Lead	0.20
Pad to Hole Ratio	1.50
Minimum Annular Ring	0.20
Thermal ID over Hole	0.40
Minimum Thermal OD over ID	0.30
Thermal OD to Hole Ratio	1.10
Spoke Width (% of OD ÷ 4)	75
Round Off	0.01
Round Factor =	100

Pad Stack Results	
Hole =	0.70
Calculated Pad =	1.05
Minimum Pad =	1.10
Top, Inner, Bottom Pad =	1.10
Plane Thermal ID =	1.10
Plane Thermal OD =	1.47
Plane Anti-Pad =	1.47
Thermal Spoke Width =	0.28

Hinweis - Hole over Lead:

- Runder Draht: 0.20 mm
- Quadratischer oder rechteckiger Draht: 0.15 mm

PCB Design Perfektion

Automation we care, always.



Technischer Support
+49 431 32132-42



Zentrale
+49 431 32132-40



Vertrieb
+49 431 32132-41

CSK - CAD Systeme Kluwetasch GmbH

Struckbrook 49
24161 Altenholz
DEUTSCHLAND

Tel.: +49 431 32132-40
Fax: +49 431 32132-47
E-Mail-Adresse: info@cskl.de

Mo. bis Do.: **8:00 bis 17:00 Uhr**
Fr.: **8:00 bis 16:00 Uhr**

